

НАСТАВНО-НАУЧНОМ ВЕЋУ ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

На 757. седници Наставно-научног већа Електротехничког факултета у Београду одржаној 18. 12. 2012. године, одређени смо за чланове Комисије за оцену услова и прихватање теме докторске дисертације Мирјане Стојиловић, дипломираног инжењера електротехнике, под насловом “Метода пројектовања наменских програмабилних хардверских акцелератора”. На основу увида у приложени материјал, Наставно-научном већу подносимо следећи

ИЗВЕШТАЈ

1. Подаци о кандидаткињи

Мирјана Стојиловић је рођена у Земуну, Република Србија, 3. јануара 1983. године. Основну школу је завршила у Земуну, као ђак генерације. Потом је завршила Математичку гимназију у Београду, као носилац дипломе „Вук Караџић“. Током гимназијског школовања освајала је награде из физике на свим нивоима такмичења у земљи. Поред тога, завршила је и Нижу музичку школу Коста Манојловић у Земуну, одсек соло певања, у класи проф. Глигорић. Школске 2002/03. године уписала је Електротехнички факултет Универзитета у Београду. Дипломирала је на смеру за Електронику, пре рока, децембра 2006. године, са просечном оценом 9,90, и дипломским радом на тему „Пренос видео сигнала преко нисконапонске мреже“. Ментор дипломског рада је био др Лазар Сарановац, доцент. Дипломски рад је био резултат стручне праксе у компанији „Elsys“ у Београду.

Докторске студије на Електротехничком факултету Универзитета у Београду, смер Електроника, уписала је школске 2007/08. године. На студијама је положила све испите са просечном оценом 10,00. Током студија објавила је један рад у часопису, приказала је дванаест радова на међународним конференцијама и четири рада на домаћим конференцијама. За рад „Design of antenna system for short-range wireless sensor network“, приказан на конференцији Телфор 2011, добила је награду „Блажо Мирчевски“ за најбољи рад младог аутора. Од тих радова, пет радова на конференцији Телфор произашло је из истраживања на предметима које је полагала на докторским студијама. У непосредној вези са докторском дисертацијом су три рада из области пројектовања наменских програмабилних хардверских акцелератора: један рад прихваћен за објављивање у врхунском међународном часопису, један рад приказан на једној од две најзначајније конференције у овој области у свету и један рад презентован на конференцији Телфор.

Члан је IEEE удружења у статусу пуноправног члана. Рецензент је међународног часописа „ACM Transactions on Design Automation of Electronic Systems“ (категорије M23), међународне конференције „Design Automation Conference“ из исте области као и докторска дисертација, као и конференције Телфор. Од јануара 2007. године запослена је у фирми Институт Михајло Пупин, на позицији истраживача и пројектанта наменских рачунарских система, где, између осталог, учествује и на међународном пројекту SCOPES.

Радови кандидаткиње прихваћени за објављивање у врхунским међународним часописима:

1. M. Stojilović, D. Novo, L. Saranovac, P. Brisk and P. Ienne, “Selective flexibility: Creating domain-specific reconfigurable arrays,” *IEEE Transactions on Computer-Aided design of integrated circuits and systems*.

Радови кандидаткиње објављени у домаћим часописима:

1. M. Stojilović and A. Djordjević, "Analysis of switching noise on power planes," *Telfor Journal*, vol. 1, no. 2, pp. 61-64, 2009.

Радови кандидаткиње објављени у зборницима међународних конференција:

1. M. Stojilović, N. Nenadić and A. Djordjević, "Effects of mounting pads and length imbalance on performance of fast differential interconnects," in *Proceedings of 5th European Conference on Circuits and Systems for Communications ECCSC'10*, Belgrade, Serbia, Nov. 2010, pp. 167-160.
2. M. Stojilović, S. Filiposka, A. Krsteska, A. Vidosavljević, V. Janev and S. Vraneš, "Students' perception of IT curricula and career opportunities in Serbia and Macedonia," in *Proceedings of Gender and Interdisciplinary Education for Engineers Conference GIEE 2011*, Paris, France, Jun 2011, pp. 1-9.
3. M. Stojilović, D. Novo, L. Saranovac, P. Brisk, and P. Ienne, "Selective flexibility: Breaking the rigidity of datapath merging," in *Proceedings of the Design, Automation & Test in Europe Conference*, Dresden, Germany, Mar. 2012, pp. 1543-1548.

Радови кандидаткиње објављени у зборницима домаћих конференција:

1. M. Stojilović and A. Djordjević, "Analysis of switching noise on power planes," in *Proceedings of the 16th Telecommunications forum TELFOR 2008*, Belgrade, Serbia, Nov. 2008, pp. 504-507.
2. M. Stojilović, "Analiza high-speed I/O tehnologija iz ugla low-cost peer-to-peer komunikacionog sistema," in *Proceedings of the 16th Telecommunications forum TELFOR 2008*, Belgrade, Serbia, Nov. 2008, pp. 581-584. In Serbian.
3. V. Čelebic, J. Gajica, M. Kabović, I. Salom, Ž. Stojković, D. Pavlović, M. Stojilović, M. Nikolić, D. Maksić, J. Jović and M. Milosavljević, "Eksperimentalna iskustva u radu multiplekserkog uređaja TZ-600 za prenos signala telezastite," in *Proceedings of Symposium CIGRE Serbia*, Tara, Serbia, June 2008. In Serbian.
4. V. Čelebic, J. Gajica, I. Salom, J. Anđelković, M. Kabović, A. Kabović, M. Stojilović and M. Kaljević, "Realizacija nadgledanja uređaja TZ-600 za prenos signala telezaštite," in *Proceedings of Symposium CIGRE Serbia*, Zlatibor, Serbia, June 2009. In Serbian.
5. M. Stojilović, "Performanse Ansari-Liu sekcija prvog reda u sistemima sa konačnom dužinom reči," in *Proceedings of 54th Conference for Electronics, Telecommunications, Computers, Automation, and Nuclear Engineering – ETRAN*, Donji Milanovac, Serbia, June 2010. In Serbian.
6. V. Kovačević and M. Stojilović, "Project Requirements Management According to CMMI Practices," in *Proceedings of IX International Scientific – Professional Symposium INFOTEH 2010*, Jahorina, Bosnia and Herzegovina, Mar. 2010, pp. 55-59.
7. V. Janev, S. Filiposka, M. Stojilović and S. Vraneš, "Analysing engineering curricula across Europe using the HELENA methodology," in *Proceedings of XVII Conference "Trendovi Razvoja"*, Kopaonik, Serbia, Mar. 2011. In Serbian.
8. C. Schaefer, M. Stojilović and L. Saranovac, "Analysis of impact of FPGA routing architecture parameters on area and delay," in *Proceedings of the 19th Telecommunications forum TELFOR 2011*, Belgrade, Serbia, Nov. 2011, pp. 924-927.
9. M. Stojilović, N. Antičić and A. Djordjević, "Design of antenna system for short-range wireless sensor network," in *Proceedings of the 19th Telecommunications forum TELFOR 2011*, Belgrade, Serbia, Nov. 2011, pp. 958-961. **Young Author Best Paper Award.**
10. M. Milanović, M. Stojilović, M. Oklobdžija and G. Dimić, "Adaptacija bežične senzorske mreže u cilju detekcije i dojava kritičnih situacija," in *Proceedings of XI International Scientific –*

Professional Symposium INFOTEH 2012, Jahorina, Bosnia and Herzegovina, Mar. 2012. In Serbian.

11. M. Stojilović and P. Pejović, "Performance Analysis of Space-Vector Modulated Two- and Three-Level Inverters," in *Proceedings of the 20th Telecommunications forum TELFOR 2012*, Belgrade, Serbia, Nov. 2012, pp.1076–1079.
12. M. Stojilović and M. Ilić, "802.11b Small-Signal Amplifier Based on the BFG25A/X," in *Proceedings of the 20th Telecommunications forum TELFOR 2012*, Belgrade, Serbia, Nov.2012, pp. 1119–1122.
13. M. Stojilović and M. Popović, "Performanse Ansari-Liu sekcija drugog reda u sistemima sa konačnom dužinom reči," in *Proceedings of the 20th Telecommunications forum TELFOR 2012*, Belgrade, Serbia, Nov. 2012, pp. 783–786, in Serbian.

На основу изложених биографских и библиографских података, сматрамо да је кандидаткиња подобна за израду предложене докторске дисертације.

2. Предмет и циљ истраживања

Да би се унапредиле перформансе наменских система, најчешће се врши специјализација архитектуре процесора, односно додавање хардверских блокова (акцелератора), који су посебно пројектовани према карактеристикама апликације или скупа апликација које припадају истом апликацијском домену. У контексту дизајна хардвера, апликацијски домен се може дефинисати као скуп апликација са сличним дијаграмима тока података. На примеру апликација из дигиталне обраде сигнала, дијаграми тока података различитих *FFT* алгоритама су међусобно тополошки сличнији, него што су један дијаграм тока података неког *FFT* алгоритама и дијаграм неког од алгоритама за реализацију *FIR/IIR* филтрирања. Стога сви *FFT* алгоритми припадају једном, а сви алгоритми за *FIR/IIR* филтрирање другом апликацијском домену.

Предмет истраживања ове дисертације су управо хардверски акцелератори, који омогућавају да се извршавање временски критичних, а честих, делова кода апликација измести из скупа операција које извршава сам процесор и препусти извршавању у посебно пројектованим акцелераторским блоковима. На пример, у дигиталним колима за обраду сигнала, која су присутна у уређајима који чине нашу свакодневицу (мобилни телефони, „паметни“ телефони, *laptop* и *notebook* рачунари), незаобилазни су вишеструки хардверски блокови за убрзање извршавања временски критичних делова апликацијског кода, који заузимају значајан део површине самог чипа, а уз то нису флексибилни.

Флексибилност подразумева да се постојећи акцелератори могу искористити за убрзање извршавања делова кода и оних апликација за које нису иницијално пројектовани, како би се избегли изузетно велики трошкови и кашњења у производњи уређаја због измена у захтевима за пројектовање акцелератора. Флексибилност је потребна и да би се избегли трошкови поновног дизајнирања акцелератора када се појави нови стандард за обраду аудио и видео сигнала. То се често дешава, а дешаваће се и даље са напретком технологије. Разлог нефлексибилности хардверских акцелератора лежи у томе што се они углавном пројектују у техници интегрисаних кола специфичне намене, односно *ASIC (Application Specific Integrated Circuit)*, како би се могле постићи најбоље перформансе — најкраће време извршавања кода уз минималну заузетост површине силицијума по појединачном акцелератору. Међутим, у применама као што је дигитална обрада сигнала, често је потребно реализовати неколико комплексних акцелератора, чија укупна површина није занемарљива, па ју је потребно минимизирати. Једина до сада позната метода која омогућава минимизацију укупне површине акцелератора јесте метода дељења хардверских ресурса, односно блокова, између појединачних хардверских акцелератора под називом *datapath merging*, при којој долази до смањења брзине извршења апликација. Поред

тога, ни она не омогућава флексибилност акцелератора; резултујући акцелератори су у могућности да извршавају само апликације за које су пројектовани. Уколико заузета површина чипа није критичан параметар у дизајну акцелератора, тада се велика флексибилност акцелератора може постићи пројектовањем у техници *FPGA (Field-Programmable Gate Array)* интегрисаних кола, која се могу конфигурисати за имплементацију било које аритметичке или логичке функције, под условом да се на располагању има довољно основних програмабилних јединица. Предност пројектовања у *FPGA* техници је велика флексибилност, а значајна мана је велико заузеће површине чипа (20–40 пута већа површина) и значајно лошије перформансе (3–4 пута дужа критична путања) у поређењу са *ASIC* технологијом.

Циљ истраживања у овој дисертацији је пре свега предлог нове архитектуре акцелератора прилагођених карактеристикама апликацијских домена и одговарајуће методе за аутоматизацију процеса пројектовања таквих акцелератора. Креирани акцелератори морају гарантовати да ће са великом вероватноћом бити могуће извршавање апликација за које нису директно пројектовани, а које припадају истом, улазном, апликацијском домену, односно морају пружити значајну флексибилност. Поред тога, креирани акцелератори морају имати добре перформансе, што приближније решењима добијеним коришћењем *ASIC* технологије или комбинацијом *ASIC* и *datapath merging* технологије, односно цена за додату флексибилност мора бити у прихватљивим границама.

Циљеви истраживања и уједно очекивани резултати ове докторске дисертације су:

- Развој методе за анализу кода апликација и екстракцију карактеристика типичних за домен коме апликације припадају.
- Развој методе за пројектовање хардверских акцелератора на основу улазног скупа апликација из неког апликацијског домена, тако да се обезбеди извршавање свих улазних апликација али и апликација које припадају истом домену а нису познате у фази пројектовања. Тиме ће се добијени хардверски акцелератор учинити флексибилним.
- Развој алата за аутоматско генерисање флексибилних акцелератора прилагођених карактеристикама апликацијских домена.
- Примена развијеног алата на пројектовање акцелератора за разне апликацијске домене (на пример, у обради слике, говора, видео сигнала и криптографији).
- Експериментална евалуација перформанси добијених хардверских акцелератора и поређење са перформансама акцелератора када су имплементирани у стандардној *ASIC* технологији, комбинацији *ASIC* и *datapath merging* технологије или у *FPGA* технологији.
- Дефинисање начина за квантитативну естимацију флексибилности добијених акцелератора и експериментално поређење са флексибилношћу акцелератора када су имплементирани у стандардној *ASIC* технологији, комбинацији *ASIC* и *datapath merging* технологије или у *FPGA* технологији.

Осврт на релевантне библиографске изворе

1. P. Ienne and R. Leupers, Eds., *Customizable Embedded Processors—Design Technologies and Applications*, ser. Systems on Silicon Series. San Mateo, Calif.: Morgan Kaufmann, 2006.
2. M. J. S. Smith, *Application-Specific Integrated Circuits*. Boston, Mass.: Addison-Wesley, 1997.
3. P. Brisk, A. Kaplan, and M. Sarrafzadeh, “Area-efficient instruction set synthesis for reconfigurable system-on-chip designs,” in *Proceedings of the 41st Design Automation Conference*, San Diego, Calif., Jun. 2004, pp. 395–400.

4. N. Clark, H. Zhong, and S. Mahlke, "Processor acceleration through automated instruction set customisation," in *Proceedings of the 36th Annual International Symposium on Microarchitecture*, San Diego, Calif., Dec. 2003, pp. 129–40.
5. M. Zuluaga and N. Topham, "Design-space exploration of resource-sharing solutions for custom instruction set extensions," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. CAD-28, no. 12, pp. 1788–1801, Dec. 2009.
6. I. Kuon and J. Rose, "Measuring the gap between FPGAs and ASICs," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. CAD-26, no. 2, pp. 203–15, Feb. 2007.
7. A. Ye and J. Rose, "Using bus-based connections to improve field-programmable gate-array density for implementing datapath circuits," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 14, no. 5, pp. 462–73, May 2006.
8. V. Betz and J. Rose, "Automatic generation of FPGA routing architectures from high-level descriptions," in *Proceedings of the 8th ACM/SIGDA International Symposium on Field Programmable Gate Arrays*, Monterey, Calif., Feb. 2000, pp. 175–84.
9. S. Yehia, S. Girbal, H. Berry, and O. Temam, "Reconciling specialization and flexibility through compound circuits," in *Proceedings of the 15th International Symposium on High-Performance Computer Architecture*, Raleigh, N.C., Feb. 2009, pp. 277–88.
10. J. Cong and W. Jiang, "Pattern-based behavior synthesis for FPGA resource reduction," in *Proceedings of the 16th ACM/SIGDA International Symposium on Field Programmable Gate Arrays*, Monterey, Calif., Feb. 2008, pp. 107–16.
11. G. Ansaloni, P. Bonzini, and L. Pozzi, "Design and architectural exploration of expression-grained reconfigurable arrays," in *Proceedings of the 6th IEEE Symposium on Application Specific Processors*, Anaheim, Calif., Jun. 2008, pp. 26–33.
12. C. Ebeling, D. C. Cronquist, P. Franklin, J. Secosky, and S. G. Berg, "Mapping applications to the RaPiD configurable architecture," in *Proceedings of the 5th IEEE Symposium on Field-Programmable Custom Computing Machines*, Napa Valley, Calif., Apr. 1997, pp. 106–15.
13. S. C. Goldstein, H. Schmit, M. Moe, M. Budiu, S. Cadambi, R. R. Taylor, , and R. Laufer, "PipeRench: a co-processor for streaming mul-timedia acceleration," in *Proceedings of the 26th Annual International Symposium on Computer Architecture*, Atlanta, Ga., May 1999, pp. 28–39.
14. A. Abnous and J. Rabaey, "Ultra-low-power domain-specific multimedia processors," in *Proceedings of the 9th Workshop on VLSI Signal Processing*, San Francisco, Calif., Oct. 1996, pp. 461–70.
15. M.-H. Lee, H. Singh, G. Lu, N. Bagherzadeh, F. J. Kurdahi, E. M. C. Filho, and V. C. Alves, "Design and implementation of the MorphoSys reconfigurable computing processor," *Journal of VLSI Signal Processing Systems*, vol. 24, no. 2–3, pp. 147–64, Mar. 2000.
16. K. Compton and S. Hauck, "Automatic design of reconfigurable domain-specific flexible cores," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. VLSI-16, no. 5, pp. 493–503, May 2008.
17. S. Girbal, O. Temam, S. Yehia, H. Berry, and Z. Li, "A memory interface for multi-purpose multi-stream accelerators," in *Proceedings of the International Conference on Compilers, Architectures, and Synthesis for Embedded Systems*, Scottsdale, Ariz., Oct. 2010, pp. 107–16.
18. T. Kluter, S. Burri, P. Brisk, E. Charbon, and P. Ienne, "Virtual Ways: Efficient coherence for architecturally visible storage in automatic in-struction set extensions," in *High Performance Embedded Architectures and Compilers*, ser. Lecture Notes in Computer Science, X. Martorell, Y. N. Patt, P. Foglia, E. Duesterwald, and P. Faraboschi, Eds. Heidelberg, Germany: Springer, 2010, vol. 5952, pp. 126–40.

Радови кандидаткиње у вези са предметом истраживања

1. M. Stojilović, D. Novo, L. Saranovac, P. Brisk and P. Ienne, "Selective flexibility: Creating domain-specific reconfigurable arrays," accepted for publication in *IEEE Transactions on Computer-Aided design of integrated circuits and systems*.
2. M. Stojilović, D. Novo, L. Saranovac, P. Brisk, and P. Ienne, "Selective flexibility: Breaking the rigidity of datapath merging," in *Proceedings of the Design, Automation & Test in Europe Conference*, Dresden, Germany, Mar. 2012, pp. 1543-1548.
3. C. Schaefer, M. Stojilović and L. Saranovac, "Analysis of impact of FPGA routing architecture parameters on area and delay," in *Proceedings of the 19th Telecommunications forum TELFOR 2011*, Belgrade, Serbia, Nov. 2011, pp. 924-927.

3. Полазне хипотезе

Полазна хипотеза ове докторске дисертације је следећа: Полазећи од основа *datapath merging* технологије, претпоставља се да је могуће идентификовати елементе акцелератора кључне за скуп апликација од интереса, чијом је манипулацијом могуће делимично генерализовати архитектуру акцелератора уз истовремено побољшање перформанси у поређењу са постојећим решењима наменских хардверских акцелератора.

4. Научне методе истраживања

Научне методе које ће се применити у оквиру ове дисертације су:

- Дедукција – идентификација и прикупљање релевантних информација из литературе, обрада информација и дефинисање нове методе, у складу са циљевима научног рада.
- Демонстрација – На основу предложене методе и коришћењем неког од стандардних програмских језика и развојних окружења, реализоваће се алат за аутоматско генерисање и демонстрацију рада акцелератора.
- Експериментална евалуација – Перформансе и карактеристике акцелератора добијених применом нове методе биће експериментално евалуиране коришћењем *VPR* алата отвореног кода за мапирање и рутирање апликација на реконфигурабилним архитектурама као што је *FPGA*, и упоређене са карактеристикама акцелератора реализованих у *ASIC* и у *FPGA* технологији.

5. Очекивани научни доприноси

Очекивани научни доприноси предложене теме докторске дисертације су вишеструки. Први научни допринос се огледа у самој идеји ове докторске дисертације, која као таква није до сада обрађивана, јер уобичајен начин дизајнирања акцелератора подразумева постојање познатог и коначног скупа апликација које акцелератор треба да извршава. Самим тим, ова дисертација ће представљати зачетак новог правца у процесу пројектовања хардверских акцелератора за процесоре, присутних у компактним и батеријски напајаним уређајима, где су брзина извршавања операција и мала потрошња струје критични захтеви. Следећи научни допринос се огледа у развоју потпуно нове методе за аутоматско генерисање хардверских акцелератора прилагођених карактеристикама апликацијских домена, који су у значајној мери флексибилни, а при томе веома ефикасни по питању времена извршавања операција и потрошње струје. Као резултат се очекује и развој алата за аутоматско генерисање флексибилних акцелератора и

евалуацију и поређење њихових перформанси са перформансама постојећих акцелератора, који ће се користити од стране дизајнера акцелератора као полазна тачка за предлагање нових архитектура.

6. План истраживања и структура рада

Први део истраживачког рада ће се састојати у анализи постојећих архитектура акцелератора, како би се стекао шири увид у то какви се аритметички/логички оператори користе, какве су везе између оператора, на који начин се инструкције извршавају на таквој архитектури акцелератора, какве су перформансе, за какве су апликације такве архитектуре најпогодније, који су коришћени методи пројектовања и којом су се идејом аутори водили при пројектовању. Потом ће се извршити анализа постојећих метода и алата за представу и анализу кода апликација, неvezано од апликацијских домена коме припадају. Најпогоднија од тих метода ће се користити да би се предложио начин за дефинисање и препознавање кључних карактеристика апликација, карактеристичних само за апликације које припадају истом домену. Овај корак је неопходан да би се акцелератори пројектовали управо према дефинисаним кључним карактеристикама апликација из једног домена.

Наредни, кључни, део истраживања ће се састојати у предлагању и дефинисању методе за пројектовање акцелератора на основу скупа улазних апликација из истог домена, а према карактеристикама апликација добијеним у претходном кораку. Након тога приступиће се реализацији алата за аутоматско генерисање акцелератора према претходно дефинисаној методи. За дизајн алата користиће се неки од програмских језика *C* или *Java* у *Eclipse* окружењу, *Perl* за манипулацију текстуалним фајловима и покретање скрипти у оперативном систему *Linux*, *Matlab* за верификацију концепта и визуализацију, *VPR* алат отвореног кода за мапирање и рутирање апликација на реконфигурабилним архитектурама као што је *FPGA*, *gcc* компајлер за идентификацију критичних делова апликационог кода и неки од стандардних алата за визуализацију графова.

На крају, предложиће се метода за експерименталну евалуацију перформанси флексибилних акцелератора. Извршиће се прво анализа флексибилности архитектуре, брзине извршавања кода и заузетости површине силицијума. Затим ће се извршити поређење са постојећим акцелераторима реализованих:

- коришћењем *ASIC* технологије,
- комбинацијом *ASIC* и *datapath merging* технологије, и
- коришћењем *FPGA* технологије,

или коришћењем неке друге специфичне архитектуре одабране на основу резултата почетне фазе истраживачког рада. За експерименталну евалуацију ће се користити алат за аутоматско генерисање акцелератора, реализован у претходној фази истраживачког рада, и неки од следећих програмских језика/алата: *Perl* за манипулацију текстуалним извештајима и креирање скрипти за извршавање експеримената, *Synopsis* сет алата за имплементацију акцелератора у *ASIC* технологији и процену перформанси, као и алати отвореног кода за естимацију перформанси акцелератора у *FPGA* технологији.

7. Закључак и предлог

На основу свега изложеног, Комисија сматра да кандидаткиња Мирјана Стојиловић, дипломирани инжењер електротехнике, испуњава све формалне и суштинске услове за приступ изради докторске дисертације. Резултати до којих ће кандидаткиња доћи имаће значајан допринос у области пројектовања хардверских акцелератора. Стога Комисија предлаже Наставно-научном већу Електротехничког факултета у Београду да кандидаткињи Мирјани Стојиловић одобри израду дисертације под насловом

„Метода пројектовања наменских програмабилних хардверских акцелератора”, односно „A method for designing domain-specific reconfigurable arrays“.

Део истраживања се обавља у сарадњи са иностраним факултетима и сарадницима, те ће теза бити написана на енглеском језику.

У Београду, 25. 12. 2012. године

ЧЛАНОВИ КОМИСИЈЕ:

др Лазар Сарановац, доцент
Универзитет у Београду, Електротехнички факултет

др Јелена Поповић Божовић, доцент
Универзитет у Београду, Електротехнички факултет

др Растислав Струхарик, доцент
Универзитет у Новом Саду, Факултет техничких наука