

НАСТАВНО-НАУЧНОМ ВЕЋУ

Предмет: Подобност теме и кандидата Ненада Королије за израду докторске дисертације

Одлуком 915/1 бр. Од 16.4.2013. године, именовани смо за чланове Комисије за оцену подобности теме и кандидата Ненада Королије за израду докторске дисертације и научне заснованости теме „Убрзавање извршавања временски захтевних софтверских апликација конфигурисањем наменског хардвера у време извршавања програма на вишепроцесорским рачунарима“.

На основу материјала приложеног уз Захтев кандидата, Комисија подноси следећи

ИЗВЕШТАЈ

1. Подаци о кандидату

1.1. Биографски подаци

Ненад Королија је рођен 16.02.1978. године у Београду, од оца Гојка и мајке Стефаније. Завршио је Математичку гимназију „Вељко Влаховић“ у Београду са одличним успехом. Током школовања био је учесник такмичења у знању и бавио се шахом.

Електротехнички факултет Универзитета у Београду уписао је 1997. године, одсек Рачунарска техника и информатика. Након дипломирања и завршетка студија, 2002. године уписао је постдипломске студије. Јануара 2003. године је почео хонорарно са осмочасовним радним временом да ради у лабораторији Катедре за Рачунарску технику и информатику као демонстратор на лабораторијским вежбама из архитектуре рачунара и архитектуре и организације рачунара. Боравио је у трајању од три месеца на Институту за Информатику, Универзитета у Штутгарту 2004. и 2005. године, у оквиру DAAD програма Немачке Владе где је учествовао на истраживачком пројекту SimLab, правећи програм за паралелно извршавање Conjugate gradient алгорита на више процесора.

Од 22. фебруара 2008. године је у трајању од тачно 10 месеци боравио на усавршавању при Катедри за Инжењеринг информација, Универзитета у Сијени, радећи на HiPEAC Европском пројекту под називом: „Cache implications of non-blocking thread execution in a multithreaded architecture“. Овде је кандидат радио на прављењу сет-асоцијативног кеша на симулатору одговарајуће Scheduled DataFlow архитектуре рачунарског система. Правио је програме за тестирање скалабилности извршавања програма у више извршних токова (нити).

На магистарским студијама положио је све испите са просечном оценом 10. Поред предмета предвиђених наставним планом и програмом похађао је и неколико предмета докторских студија Универзитета у Сијени из области блиских његовом научном интересовању. Магистарску тезу под насловом: „Прављење распореда извршавања нити “DTA”

архитектуре“, којом је руководио професор Вељко Милутиновић, је одбранио маја 2009. године.

Учествовао је у припреми и вођењу екипа које су освојиле бројне награде на такмичењима из програмирања и објектно оријентисаног програмирања на Електријадама 2007. и 2012. године. Учествује у три пројекта Министарства просвете, науке и технолошког развоја: „Програмирање софтверске апликације Maxeler система заснованог на бази FPGA ради убрзавања извршавања симулације протока крви,” „Развој нових информационо-комуникационих технологија, коришћењем напредних математичких метода, са применама у медицини, телекомуникацијам, енергетици, заштити националне баштине и образовању” и пројекту „Развој хардверске, софтверске и телекомуникационе инфраструктуре е-система за контролу промета и пореза”. Учествовао је у раду на следећим Европским пројектима Седмог оквирног програма FP7: WeGo, HiPEAC, ARTreat и ProSense. Учествовао је у изради техничког решења: „Софтвер за надгледање рада и подршку одржавања система даљинског грејања.” Аутор је три рада у међународним часописима и пет конференцијских радова.

1.2. Стечено научноистраживачко искуство

Магистарску тезу под насловом “Прављење распореда извршавања нити “DTA” архитектуре“, одбранио је 25. маја 2009. године на Електротехничком факултету Универзитета у Београду. Ментор у изради магистарске тезе био је професор Вељко Милутиновић. Предмет рада је развој алгорита за формирање најбољег распореда извршавања нити DTA (Decoupled Threaded Architecture) архитектуре, ради употребе у системима за обраду у реалном времену. Да би се решио проблем ограничености броја нити за које се тражи најбољи распоред, алгорита за налажење најбољег распореда који је предложен у овој тези модификован је тако да може да генерише суб-оптимално решење, ако се постави услов о ограничености броја нити. Затим је креиран програм за симулацију DTA архитектуре, након чега следи преглед резултата добијених симулацијом и њихова анализа.

Кандидат је учествовао у пројектима ресорног министарства.

Објавио је следеће радове у области паралелног извршавања програма на више процесорских јединица:

[1] Korolija, N.: *Accelerating Conjugate Gradient Solver: Temporal Versus Spatial Data*, The IPSI BgD Transactions on Internet Research, Volume 3 | Number 1 | ISSN 1820 – 4511, 2007, p.p. 21-25 (M53)

[2] Popovic, J., Bosnjakovic, A., Minic, P., Korolija, N., and Milutinovic, V.: *SwanLink: Mobile P2P Environment for Graphical Content Management System*, The IPSI BgD Transactions on Internet Research, Volume 2 | Number 2 | ISSN 1820 – 4503, 2006, p.p. 47-52 (M53)

[3] Korolija, N., “Cache Implications of Non-Blocking Thread Execution in a Multithreaded Architecture,” Technical Report, HiPEAC project, December 2008.

[4] Korolija, N.: *Scheduling Algorithm for DTA Architecture Threads*, Etran 2009

[5] Korolija, N.: *Buddy-Based Memory Organization*, Etran 2009

[6] Kovacevic, M., Babovic, Z., Rakocovic, G., Novakovic, M., Korolija, N., Milutinovic, V., Filipovic, N.: *An Overview of Belgrade Activities in the ARTreat Project*, The IPSI BgD Transactions on Internet Research, New York, Frankfurt, Tokyo, Belgrade, January 2010 Volume 6 Number 1, ISSN 1820-4503.

1.3. Оцена подобности кандидата за рад на предложеној теми

На основу досадашњег рада у оквиру међународних FP7 пројеката, као и пројеката које финансира надлежно Министарство, усавршавањима на универзитетима у Штутгарту и Сијени, радова публикованих у часописима и на конференцијама, као и чињенице да поседује научно звање магистра техничких наука, Ненад Королија је показао да је подобан да приступи изради докторске дисертације на Електротехничком факултету Универзитета у Београду. На основу свега тога и личног познавања кандидата сматрамо да мр Ненад Королија испуњава све стручне и моралне критеријуме да приступи изради докторске дисертације.

Објављени доприноси представљају део резултата истраживања који ће бити представљени у докторској дисертацији кандидата. Доприноси ће бити допуњени резултатима који до сада нису објављени.

2. Предмет и циљ истраживања

Постоје софтверске апликације чије је извршавање временски захтевно, попут временске прогнозе, симулације динамике флуида и других. Услед тога постоји потреба за смањивањем времена њиховог извршавања. Актуелни тренд у побољшању перформанси рачунарских система је увођење већег броја језгара процесора у тзв. вишепроцесорским системима (укључујући и језгра процесора графичких картица). Још један од начина побољшања перформанси је употреба реконфигурабилног хардвера (енг. In field programmable gate array, тј. FPGA) за извршавање временски захтевних инструкција програма.

У овом раду ће се размотрити истраживачки проблем обједињавања вишепроцесорског система и реконфигурабилног хардвера. Очекивани допринос се односи на једно побољшање перформанси целокупног система, а према унапред дефинисаним критеријумима. Битан проблем који је потребно решити је дељење предложеног хардвера од стране више процесорских јединица, као и прављење распореда извршавања извршних токова програма (нити) више процесора на таквом хардверу. Проблем прављења распореда спада у НП класу проблема, па ће бити потребно да алгоритам за расподелу користи хеуристику. Акценат ће бити стављен на просторно и временско дељење реконфигурабилног хардвера између процесора. Овом приступу у доступној научној литератури није посвећена довољна пажња. Биће направљен симулатор оваквог система. На примеру прикладно изабраног скупа алгоритама ће бити демонстриран рад предложеног система на симулатору. Затим ће резултати бити проверени употребом реконфигурабилног хардвера.

На овај начин ће се показати колико се убрзање извршавања програма може добити употребом предложене методологије. Још један битан резултат представља сазнање да ли је употреба оваквог приступа решавању проблема убрзавања извршавања економски оправдана када се узму у обзир цена израде оваквог хардвера и смањење потрошње електричне енергије.

Кандидат се већ дужи низ година бави анализом и решавањем проблема из области убрзавања извршавања софтверских апликација употребом специјализованих хардвера [1], [2], [3], [4] и [5]. У оквиру програма HiPEAC радио је на убрзавању извршавања нити употребом специјализоване архитектуре рачунара, тзв. Decoupled Threaded Architecture (DTA). Ова архитектура представља проширење Scheduled DataFlow (SDF) парадигме. Полазну основу за овај рад чини магистарска теза кандидата где је представљена методологија прављења распореда извршавања нити DTA архитектуре, као и резултати рада

на пројекту симулације протока крви кроз крвоток употребом Maxeler PCIe картице која поседује FPGA површину која се може по потреби реконфигурисати пре самог извршавања програма.

Кандидат из поменутих области има радове објављене на домаћим конференцијама [4] и [5], као и техничко решење развијено у оквиру међународног пројекта [3].

3. Полазне хипотезе

Претпоставка чији доказ је циљ овог рада је да је извршавање временски захтевних апликација на вишепроцесорским рачунарима могуће убрзати уколико сваки од процесора има приступ дељеном реконфигурабилном хардверу [7]. Конфигурисани хардвер би истовремено извршавао више инструкција апликације која се убрзава уместо да се ове инструкције извршавају секвенцијално на процесору. Овакав хардвер би ослободио рачунарску систем од проблема дистрибуирања централизованих података на више процесора [8, 9, 10]. Један од очекиваних доприноса је имплементација симулатора извршавања нити на предложеној архитектури система. Као што је већ поменуто, циљ рада је и провера економске оправданости оваког приступа. Сматра се да ће бити смањена потрошња електричне енергије употребом оваког хардвера у односу на извршавање ових апликација искључиво на процесорима, као и да ће укупна цена хардвера и утрошене електричне енергије бити мања него у случају употребе система који користи искључиво процесорске јединице.

- [7] L. W. Howes, O. Pell, O. Mencer, O. Beckmann, "Accelerating the Development of Hardware Accelerators," EDGE Workshop, 2006 University of North Carolina, Chapel Hill. 2006 .
- [8] Dimond, R. ; Racanière, S. ; Pell, O., "Accelerating Large-Scale HPC Applications Using FPGAs ," 20th IEEE Symposium on Computer Arithmetic (ARITH), 2011, Date of Conference: 25-27 July 2011, Page(s): 191 - 192, ISSN: 1063-6889, Print ISBN: 978-1-4244-9457-6
- [9] Flynn, M. ; Dimond, R. ; Mencer, O. ; Pell, O., Finding Speedup in Parallel Processors," International Symposium on Parallel and Distributed Computing, 2008. ISPDC '08., Date of Conference: 1-5 July 2008, Page(s): 3 - 7, Print ISBN: 978-0-7695-3472-5
- [10] Benedict R. Gaster and Lee Howes, "Can GPGPU Programming be Liberated from the Data Parallel Bottleneck," IEEE Computer, pages 42-52 August 2012.

4. Научне методе истраживања

Са истраживањем би се започело анализом актуелних трендова у убрзавању извршавања програма [11-16]. Затим би се анализирали најчешће коришћени програми за тестирање перформанси вишепроцесорских система, са освртом на налажење делова кода погодних за извршавање на реконфигурабилном хардверу. У реалном времену ће се вршити (1) процена исплативости хардверске реализације одређеног дела софтверског кода у смислу трајања извршавања и (2) у случају позитивне процене, вршиће се конкретна реализација.

Време прављења распореда извршавања извршних нити вишепроцесорског система се сматра режијским временом. Поред тога, прављење распореда извршавања нити спада у НП класу сложености. Зато се планира модификација алгорита, тако да се најбољи распоред тражи само до процењене оптималне дубине у стаблу претраживања. То значи да би се у сваком тренутку посматрао само одређени број нити, а онда између њих одлучивало којој ће и када бити додељена слободна површина реконфигурабилног хардвера. Претходно описани алгоритам би узимао у обзир и време реконфигурисања самог хардвера, чиме би одређене

нити биле извршаване на процесорским јединицама, иако постоји могућност да се брже изврше на реконфигурабилном хардверу. За потребе рада предложеног система, биће направљена нова метода планирања дељења извршавања на процесорским јединицама за време реконфигурације хардвера и на реконфигурабилном хардверу након тога, као би се што више убрзао рад целокупног система.

- [11] T. Nemeth, J. Stefani, W. Liu, R. Dimond, O. Pell, R. Ergas, "An implementation of the acoustic wave equation on FPGAs," SEG Technical Program Expanded Abstracts 2008 .
- [12] B. Cope, P. Y. K. Cheung, W. Luk, and L. W. Howes, "A Systematic Design Space Exploration Approach to Customising Multi-Processor Architectures: Exemplified Using Graphics Processors," Transactions on High-Performance Embedded Architectures and Compilers, pages 63-83. 2011.
- [13] B. Cope, P. Y. K. Cheung, W. Luk, and L. W. Howes, "Performance Comparison of Graphics Processors to Reconfigurable Logic: A Case Study," IEEE Transactions on Computers, pages 433-448. April 2010.
- [14] D. B. Thomas, L. Howes, and W. Luk, "A Comparison of CPUs, GPUs, FPGAs, and Massively Parallel Processor Arrays for Random Number Generation," Proceedings of FPGA 2009.
- [15] L. W. Howes, A. Lokhmotov, A. F. Donaldson, and P. Kelly, "Deriving efficient data movement from decoupled Access/Execute specifications," Proceedings of the 4th International Conference on High-Performance and Embedded Architectures and Compilers (HiPEAC, AR: 28%) Paphos, Cyprus. January, 2009.
- [16] L. W. Howes, P. Price, O. Mencer, O. Beckmann, O. Pell, "Comparing FPGAs to Graphics Accelerators and the Playstation 2 using a unified source description," Proc. of the IEEE Conference on Field Programmable Logic and Applications, Madrid, Spain. 2006.

5. Очекивани научни допринос

Предложеном архитектуром рачунарског система ће моћи да се у одређеној мери убрза извршавање програма. Убрзање ће зависити од алгоритама на којима су засновани програми чије се извршавање убрзава. Предвиђена је класификација ових алгоритама у зависности од могућности њиховог убрзавања. Ова архитектура ће представљати још један од концепата коришћења хардвера у циљу убрзавања извршавања алгоритама.

Алгоритам за просторну и временску расподелу ресурса посебног хардвера биће независан од рачунарског система и као такав применљив и у другим одговарајућим областима примене. Планирана је израда симулатора предложене архитектуре. Очекује се да архитектура рачунарског система дефинисана у овом раду уз помоћ поменутог алгоритма може да убрза извршавање одређених временски захтевних апликација, што је планирано да се покаже симулацијом.

У раду ће такође бити описана имплементација алгоритма Lattice-Boltzmann на рачунару са приступом реконфигурабилном хардверу у виду PCIe картице рачунара. Овај алгоритам се користи за симулацију протока флуида. Предвиђено је да се овај алгоритам користи у циљу брже симулације протока крви кроз крвоток, у оквиру међународног пројекта Artreat. До сада је имплементиран алгоритам који постиже чак више од 100 пута убрзање у односу на извршавање алгоритма на конвенцијалним процесорима, под претпоставком да је симулирани проблем довољно велик да потребне матрице не могу да се сместе у кеш меморију процесора. У случају довољно малог проблема, постигнуто је убрзање око 15 пута. Један од очекиваних доприноса је да се покажу могућности убрзавања извршавања

алгоритама управо графицима зависности времена извршавања на конвенцијалним процесорима и на реконфигурабилним картицама у зависности од величине проблема и других релевантних параметара.

6. План истраживања и структура рада

Ово истраживање ће укључивати области вишепроцесорских система, примену хардверско-софтверских система ради убрзања извршавања алгоритама, као и прављења распореда уз постојање ограничења. Са истраживањем ће се почети анализом вишепроцесорских система и коришћених програма за тестирање њихових перформанси. Акценат ће бити стављен на њихове перформансе када се на њима извршавају одговарајући програми за тестирање. Након овога би се анализирали нови трендови у развоју реконфигурабилног хардвера. На бази постојећих решења, била би дефинисана нова архитектура вишепроцесорског рачунара, код којег сваки процесор има приступ заједничком реконфигурабилном хардверу за убрзавање извршавања одређених инструкција. Биће објашњено како се може направити софтверски систем који ће подржавати коришћење реконфигурабилног хардвера, на бази претходно описаних система. У раду ће бити детаљно описан алгоритам просторне и временске расподеле FPGA површине реконфигурабилног хардвера.

Након анализе постојећих алгоритама за расподелу извршавања нити на вишепроцесорским рачунарима, као и алгоритама за расподелу ресурса, биће развијен један алгоритам за расподелу харверских ресурса заједничког реконфигурабилног хардвера на процесоре вишепроцесорског система. Овде ће бити детаљно описан процес преноса тока извршавања са процесора на реконфигурабилни хардвер. Затим ће бити направљен симулатор оваквог система, на којем би били извршавани програми за тестирање перформанси вишепроцесорских рачунарских система. Ови програми ће бити симулирани и на једнопроцесорском рачунарском систему који има приступ реконфигурабилном хардверу. Биће утврђено који део FPGA површине се користи за само извршавање инструкција, као и колико је процентуално времена била искоришћена магистрала за пренос података. На основу тако добијених резултата, на примерима из прикладно изабраног скупа алгоритама, погодних за извршавање на више процесора, биће демонстриран рад предложеног система. Затим ће бити дато дато поређење времена извршавања ових програма на вишепроцесорском рачунарском систему са и без употребе реконфигурабилног хардвера, као и на једнопроцесорском систему са приступом реконфигурабилном хардверу. Анализа резултата ће укључивати и процену трошкова израде оваквих система, и дискусију даљих смерова истраживања. Следиће закључак и дискусија решења, а затим и даљи правци истраживања.

7. Закључак и предлог

На основу досадашњег рада кандидата у области теме докторске дисертације на међународним и домаћим пројектима, усавршавањима на универзитетима у Штутгарту и Сијени, радова публикованих у часописима и на конференцијама, као и чињенице да поседује научно звање магистра техничких наука, Ненад Королија је показао да је подобан да приступи изради докторске дисертације на Електротехничком факултету Универзитета у Београду.

Ова тема припада ужој области пројектовања рачунара употребом FPGA логичких кола, па се за ментора предлаже др Вељко Милутиновић, редовни професор Електротехничког факултета Универзитета у Београду.

На основу изложеног и личног познавања кандидата, Комисија закључује да мр Ненад Королија испуњава све стручне и моралне критеријуме да приступи изради докторске дисертације под називом „Убрзавање извршавања временски захтевних софтверских апликација конфигурисањем наменског хардвера у време извршавања програма на вишепроцесорским рачунарима”. Стога Комисија предлаже Наставно–научном већу Електротехничког факултета у Београду да одобри мр Ненаду Королији израду докторске дисертације под горе наведеним насловом под руководством ментора проф. др Вељка Милутиновића.

У Београду, 10.06.2013. године

ЧЛАНОВИ КОМИСИЈЕ

др Вељко Милутиновић, редовни професор
Универзитет у Београду – Електротехнички факултет

др Мило Томашевић, ванредни професор
Универзитет у Београду – Електротехнички факултет

др Божидар Раденковић, редовни професор
Универзитет у Београду – Факултет Организационих Наука