

НАСТАВНО-НАУЧНОМ ВЕЋУ

Предмет: Подобност теме и кандидата Срђана Бркића, мастер инжењера електротехнике и рачунарства, за израду докторске дисертације

Одлуком Наставно-научног већа Електротехничког факултета Универзитета у Београду бр. 5004/10-1 од 16.7.2015. године, именовани смо за чланове Комисије за оцену подобности теме и кандидата Срђана Бркића, мастер инжењер електротехнике и рачунарства, за израду докторске дисертације и научне заснованости теме

„Декодовање кодова са малом густином провера парности у присуству грешака у логичким колима”

На основу материјала приложеног уз Захтев кандидата, Комисија подноси следећи

ИЗВЕШТАЈ

1. Подаци о кандидату

1.1. Биографски подаци

Срђан Бркић рођен је 02.01.1987. године у Фочи, Босна и Херцеговина. Основну школу и гимназију завршио је у Пљевљима, Црна Гора са одличним успехом.

Електротехнички факултет у Београду уписао је школске 2005/06. године. Дипломирао је на Одсеку за телекомуникације 2009. године, са просечном оценом 9,04. Дипломски рад под насловом “Симулациона анализа кодова за цикличну проверу редундансе”, одбранио је са оценом 10. Ментор дипломског рада био је др Предраг Иваниш.

Мастер студије на истом факултету уписао је школске 2009/10 године и завршио их 2010. године са просечном оценом 9,83. Мастер рад под називом “Процена перформанси хибридних техника за ретрансмисију пакета комбинованих са UMTS турбо кодом у присуству Накагами-м фединга” одбранио је са оценом 10. Ментор мастер рада био је др Предраг Иваниш.

Тренутно је студент докторских студија на Електротехничком факултету у Београду, на модулу Телекомуникације. Од 2011. запослен је у Иновационом центру Електротехничког факултета у Београду где је запослен на пројекту Министарства за просвету, науку и технолошки развој, ТР32028 - "Напредне технике ефикасног коришћења спектра у бежичним системима". Има активно знање енглеског језика.

1.2. Стечено научноистраживачко искуство

Кандидат је докторске студије уписао школске 2010. године на Универзитету у Београду - Електротехнички факултет, на модулу Телекомуникације. Положио је све испите са највишом оценом и урадио све обавезе предвиђене планом и програмом докторских студија.

Списак положених испита:

1. Случајни процеси у телекомуникацијама (оцена: 10, 9 ЕСПБ)
2. Савремене технике контроле грешака у телекомуникацијама (оцена: 10, 9 ЕСПБ)
3. Принципи модерних телекомуникација (оцена: 10, 9 ЕСПБ)
4. Комуникационе и рачунарске мреже (оцена: 10, 9 ЕСПБ)
5. Теорија и пракса комутација (оцена: 10, 9 ЕСПБ)
6. Бежични телекомуникациони системи (оцена: 10, 9 ЕСПБ)
7. Просторно-временска обрада сигнала (оцена: 10, 9 ЕСПБ)
8. Нумеричка анализа (оцена: 10, 9 ЕСПБ)
9. Специјалне функције (оцена: 10, 9 ЕСПБ)
10. Увод у научни рад (оцена: 10, 6 ЕСПБ)

У оквиру докторских студија стекао је напредно знање које покрива различите области телекомуникација, а што је подразумевало проучавање литературе, упознавање теоријских основа, верификацију стеченог знања кроз израду програма којима су имплементирани разни алгоритми битни за функционисање телекомуникационих система.

Конкретно, активности по предметима су следеће:

- Случајни процеси у телекомуникацијама: проучавање литературе и провера теоријског знања, израда програма у софтверском пакету Матлаб за прорачун перформанси Винеровог филтрирања;
- Савремене технике контроле грешака у телекомуникацијама: проучавање литературе, писање већег броја програма у програмском језику С и Матлаб програмском пакету у којима су имплементирани разни алгоритми за декодовање кодова са малом густином провера парности (Low Density Parity Check, LDPC).
- Принципи модерних телекомуникација: проучавање литературе, провера теоријског знања, израда семинарског рада везаног за опште принципе когнитивног радија.
- Бежични телекомуникациони системи: проучавање литературе из области *spectrum sensing*-а; израда семинарског рада која укључује анализу кооперативне детекције сигнала енергетским детектором у окружењу композитног К фединга. Извођење израза за вероватноћу детекције и вероватноћу лажног аларма за различите пропагационе услове.
- Комуникационе и рачунарске мреже: хардверска имплементација у VHDL програмском језику декодера LDPC кодова, примењеног на физичком слоју рачунарске мреже.
- Теорија и пракса комутација: проучавање асиметричних криптографских алгоритама на бази елиптичких кривих. Израда семинарског рада који садржи математичке основе елиптичке криптографије са прегледом *open-source* решења доступних за софтверску имплементацију у оквиру TCP Интернет протокола.
- Просторно-временска обрада сигнала: FPGA имплементација алгоритама једнокорачних техника позиционирања корисника у когнитивним мрежама.
- Нумеричка анализа: проучавање литературе, провера теоријског знања и вежбе.
- Специјалне функције: проучавање литературе, провера теоријског знања и семинарски рад везан за примену Беселових функција у системима преноса сигнала.

- Увод у научни рад: прочавање начина за припрему рада за објављивање у научном часопису и приказ истраживања на научним конференцијама. Припремање студента да оформи докторску тезу, припреми семинар о проблему који истражује, успешно комуницира са редакторима и рецензентима научних часописа.

Окосницу истраживачког рада у вези са докторском тезом чини анализа декодера LDPC кодова у присуству хардверских грешака. Истраживања из ове области до сада је публиковао у једном часопису међународног значаја, три часописа домаћег значаја и већем броју конференција међународног значаја.

1.2.1. Објављени радови

Рад публикован у страном часопису (M22):

- [1.1] Srdan Brkic, Omran Al Rasheed, Predrag Ivanis, and Bane Vasic, "On Fault-Tolerance of the Gallager B Decoder under Data-Dependent Gate Failures," *IEEE Communications Letters*, vol. 19, Iss. 8, pp. 1299-1302, ISSN: 1089-7798, IF=1.268. (DOI: 10.1109/LCOMM.2015.2442981)

Радови публиковани у домаћим часописима (M53):

- [1.2] Omran Al Rasheed, Srdan Brkic, Predrag Ivanis, Bane Vasic, "Performance Analysis of Faulty Gallager-B Decoding of QC-LDPC Codes with Applications", *Telfor Journal*, Vol 6, No 1, pp. 7-11, November 2014. ISSN 1821-3251.
- [1.3] Srdan Brkic, Predrag Ivanis, Goran Đorđević, Bane Vasic, "Symbolic Analysis of Faulty Logic Circuits under Correlated Data-Dependent Gate Failures", *Telfor Journal*, Vol 6, No 1, pp. 2-6, November 2014. ISSN 1821-3251.
- [1.4] Srdjan Brkić, Predrag Ivaniš, "Energy detector performance in Rician fading channel", *Serbian Journal of Electrical Engineering*, vol. 10, no. 1, pp. 37-46, February 2013.
- [1.5] Srdjan Brkić, Predrag Ivaniš, "Performance Evaluation of HARQ Technique with UMTS Turbo Code", *Telfor Journal*, Vol 3, No 2, pp. 86-89, November 2011. ISSN 1821-3251.

Радови саопштени на међународним научним скуповима (M33):

- [1.6] Bane Vasić, Predrag Ivaniš, Srdan Brkić, Vida Ravanmehr "Fault-Resilient Decoders and Memories made of Unreliable Components", in *Proc. Information Theory and Applications Workshop (ITA 2015)*, San Diego, USA, February 1-6 2015. (invited paper)
- [1.7] Srdan Brkic, Predrag Ivanis, Bane Vasic, "Analysis of one-step majority logic decoding under correlated data-dependent gate failures," in *Proc. IEEE International Symposium on Information Theory (ISIT 2014)*, pp. 2599 - 2603, Honolulu, USA, June 29-July 4 2014.
- [1.8] Omran Al Rasheed, Srdjan S. Brkic, Predrag Ivanis, Bane Vasic, "Analiza bit flipping dekodera LDPC kodova realizovanih pomoću nepouzdanih komponenti", in *Proc. INFOTEH JAHORINA 2014*, Vol 13, Ref. KST-2-1, Istočno Sarajevo, 19-21. March 2014, str. 403-407. ISBN 978-99955-763-3-2.
- [1.9] Srdjan Brkic, Predrag Ivanis, Goran Djordjevic, Bane Vasic, "Symbolic analysis of faulty logic circuits in the presence of correlated gate failures", in *Proc. IEEE TELFOR 2013*, Belgrade, Serbia, November 26th-28th, 2013, pp. 369-372. ISBN: 978-1-4799-1419-7.
- [1.10] Omran Al Rasheed, Srdjan S. Brkic, Predrag Ivanis, Bane Vasic, "Performance Analysis of Faulty Gallager-B Decoding of QC-LDPC Codes", in *Proc. IEEE TELFOR 2013*, Belgrade, Serbia, November 26th-28th, 2013, pp. 323-326. ISBN: 978-1-4799-1419-7.
- [1.11] Srdjan S. Brkic, Predrag Ivanis, Goran Djordjevic, Bane Vasic, "Taylor-Kuznetsov fault-tolerant memories: a survey and results under correlated gate failures", in *Proc. IEEE TELSIKS 2013*, Nis, Serbia, October 16th-19th, 2013, pp. 455-462. ISBN: 978-1-4799-0900-1 (invited paper)

- [1.12] S. Brkić, M. Eric, "FPGA Implementation of Joint Spatio-Temporal Spectrum Sensing Algorithm Based on Direct Localization Method", in *Proc. IEEE TELSIKS 2013*, Nis, Serbia, October 2013, pp. 301- 304. ISBN: 978-1-4799-0900-1
- [1.13] Predrag N. Ivaniš, Vesna M. Blagojević, Milena M. Stojnić, Srdjan S. Brkić, "User Cooperation Diversity in Cognitive Radio Systems", in *Proc. SAUM 2012*, Niš, Serbia, November 14th-16th, 2012, pp. 72-79. ISBN 978-86-6125-072-9. (*invited paper*)
- [1.14] Srdjan S. Brkić, Predrag N. Ivaniš, "Joint Optimization of Adaptive Modulation and Eigenchannel Power Allocation in Dual-Branch SVD-MIMO Systems", in *Proc. SAUM 2012*, Niš, Serbia, November 14th-16th, 2012, pp. 343-346. ISBN 978-86-6125-072-9.
- [1.15] Srdjan Brkić, Predrag N. Ivaniš, "Performances of HARQ Technique with UMTS Turbo Code in Nakagami Fading Channels", in *Proc. IEEE TELSIKS 2011*, Nis, Serbia, October 5th-8th, 2011, pp. 459-462. ISBN: 978-1-4577-2018-5.

Радови саопштени на домаћим научним скуповима (М63):

- [1.16] Srđan Brkić, Dajana Lazarević, Mirjana Simić, "Procena performansi detektora signala zasnovanog na sopstvenim vrednostima kovarijacione matrice", *XIII Međunarodni naučno-stručni Simpozijum Infoteh-Jahorina*, vol. 13, pp. 361-365, Mart 2014.
- [1.17] Predrag Ivaniš, Srđan Brkić, Goran Đorđević, Bane Vasić, "Savremene tehnike za projektovanje pouzdanih čipova napravljenih od nepouzdanih komponentata", *Zbornik XXXII Simpozijuma o novim tehnologijama u poštanskom i telekomunikacionom saobraćaju (POSTEL 2014)*, Beograd, 2-3. decembra 2013, str. 277-286. ISBN 978-86-7395-328-1. (*rad po pozivu*).
- [1.18] Predrag Ivaniš, Miljko Erić, Srđan Brkić, Miloš Janjić, "Tehnike za efikasno korišćenje spektra: prikaz nekih rezultata istraživanja", *Zbornik XXXI Simpozijuma o novim tehnologijama u poštanskom i telekomunikacionom saobraćaju (POSTEL 2013)*, Beograd, 3-4. decembra 2013, str. 233-242. ISBN 978-86-7395-314-4. (*rad po pozivu*).
- [1.19] Srđan Brkić, Predrag Ivaniš, "Performanse kooperativnog spectrum sensinga u kanalu sa generalizovanim K fadingom", *Zbornik 57. konferencije ETRAN*, Zlatibor, 3-6. juna 2013, str. TE2.2.1-6.
- [1.20] Srđan Brkić, Dajana Lazarević, Predrag Ivaniš, "FPGA implementacija sum-product algoritma za dekodovanje LDPC kodova", *INFOTEH JAHORINA 2013*, Vol 12, Ref. KST-3-2, Istočno Sarajevo, 20-22. Mart 2013, str. 428-433. ISBN 978-99955-763-1-8.
- [1.21] Srđan Brkić, Predrag Ivaniš, "Performanse detektora energije u kanalu sa Rajsovim fadingom", *Zbornik 56. konferencije ETRAN 2012*, Zlatibor, Srbija, 11-14. Jun 2012, TE 3.5-1-4. ISBN 978-86-80509-67-9.
- [1.22] S. S. Brkić, D. M. El Mezeni, L. V. Saranovac, J. S. Popović Božović, M. M. Erić, "Evaluacija razvojnih platformi za sisteme spectrum sensing-a", *Zbornik radova INFOTEH-JAHORINA 2012*, pp. 401-405, Vol. 11, mart 2012.
- [1.23] Srđan S. Brkić, Dragomir M. El Mezeni, Lazar V. Saranovac, Jelena S. Popović Božović, "FPGA dizajn kanalizatora spektra na bazi polifazne banke filtera", *XIX Telekomunikacioni forum TELFOR 2011*, Beograd, Srbija, novembar 2011.
- [1.24] Srđan Brkić, Predrag Ivaniš, "Procena performansi hibridne ARQ tehnike sa UMTS turbo kodom", *XVIII Telekomunikacioni forum TELFOR 2010*, Beograd, 23-25. Novembar 2010, str 521-524. ISBN 978-86-7466-392-9.
- [1.25] Srđan Brkić, "Simulaciona analiza kodova za cikličnu proveru redundanse", *XVII Telekomunikacioni forum TELFOR 2009*, Beograd, 24-26. Novembar 2009, str 1439-1442. ISBN 978-86-7466-392-9.

Награде и признања:

За рад саопштен на *XVII Телекомуникационом форуму ТЕЛФОР 2009*, одржаном у Београду 2009. кандидат је освојио награду "Илија Стојановић", коју додељује фондација компаније *Telenor*. Награда је додељена у категорији најбољег рада у студентској секцији.

Рад кандидата, саопштен на *XLVIII конференцији ЕТРАН*, одржаној на Златибору јуна 2013, награђен је као најбољи рад младих истраживача из области Телекомуникација.

1.2.2. Извештај са јавне усмене одбране предложене теме докторске дисертације

Јавна усмена одбрана предложене теме докторске дисертације одржана је 22.09.2015. године на Електротехничком факултету у Београду, пред комисијом у саставу:

- др Александра Смиљанић, редовни професор, Универзитет у Београду - Електротехнички факултет
- др Горан Т. Ђорђевић, ванредни професор, Универзитет у Нишу - Електронски факултет
- др Лазар Сарановац, ванредни професор, Универзитет у Београду-Електротехнички факултет

Усмена одбрана је почела у 14:30 часова, а завршена је у 15:30 часова.

На усменој одбрани су били присутни сви чланови Комисије.

Одбрану је отворио председник Комисије проф. др Александра Смиљанић упознавши присутне са хронологијом пријаве теме, одлуком Наставно-научног већа, основним подацима о кандидату и основним подацима о пријављеној теми докторске дисертације.

Кандидат је у трајању од 30 минута изложио у најсажетијем облику област и предмет истраживања, актуелност истраживања, постојећа решења са критичким освртом, као и своје предлоге за примену заштитних кодова на повећање поузданости меморија. У ту сврху, размотрена је примена разних алгоритама декодовања у условима постојања грешака у логичким колима. Кандидат је предложио моделе грешака у логичким колима који реалније описују физичке појаве. Посебно је размотрено које услове треба да задовољи изабрани код и алгоритам декодовања да би се обезбедила стабилност меморија.

Проф. Александра Смиљанић поставила је кандидату питања из области телекомуникација. Проф. Г. Ђорђевић поставио је питања везана за област теорије информација и заштитних кодова. Проф. Лазар Сарановац је поставио питања из области електронике. Кандидат је успешно одговорио на сва питања која су му чланови Комисије поставили.

По завршеној одбрани, Комисија се повукла на већање и једногласно донела следећи закључак:

Комисија је закључила да је кандидат Срђан Бркић на јавној усменој одбрани предложене теме докторске дисертације добио оцену „задовољио“. Комисија предлаже да ментор докторске дисертације буде др Предраг Иваниш, ванредни професор Електротехничког факултета Универзитета у Београду.

1.3. Оцена подобности кандидата за рад на предложеној теми

На основу претходног приказа резултата досадашњег рада и оствареног искуства кандидата Срђана Бркића, Комисија је стекла увид у способност кандидата за научно-истраживачки рад, као и његове могућности да током израде предложене докторске дисертације оствари резултате који могу бити верификовани од стране како домаће тако и међународне научне заједнице. Комисија такође констатује да је део резултата већ верификован.

2. Предмет и циљ истраживања

Предмет истраживања предложене теме ове докторске дисертације је анализа аглоритама декодовања кодова са малом густином провера парности, када се декодер реализује од инхерентно непоузданих компоненти. У теми ће, због релативно мале комплексности реализације, бити разматрани пре свега итеративни алгоритми који декодовање врше на бази тврдих одлука (*hard-decision decoding*). Најпознатији *hard-decision* декодери разматрани у постојећој литератури су они који функционишу на основу *bit-flipping* и *Gallager-A/B* алгоритма декодовања. Посебан акценат биће стављен на развој реалнијих модела грешака у логичким колима, од оних који се доминантно користе у постојећој литератури, и биће представљено понашање декодера у тим практично значајним случајевима. Део истраживања биће посвећен и потенцијалном унапређивању постојећих декодера ради постизања њихове веће отпорности на хардверске грешке.

Циљ истраживања је обезбеђивање поузданог преноса и складиштења информација у чиповима са високим степеном интеграције (Very Large Scale Integration, VLSI), релизованим од непоузданих компоненти. Информациони садржај се меморише (преноси) у кодованом облику, који има за циљ да сачува његову исправност од грешака које могу настати у информационом каналу, као и у самом декодеру. У дисертацији ће се користити кодови базирани на графовима, посебно LDPC кодови. Комплексност декодовања LDPC кодова расте линерано са порастом дужине кодне речи, што чини ове кодове погодним за употребу у системима за меморисање података. Један од циљева дисертације је предложити архитектуру меморије, базирану на LDPC кодовима, која по питању комплексности и поузданости превазилази постојећа (*state-of-the-art*) решења.

Релизација полупроводничких структура помоћу нових нанометарских технологија негативно утиче на поузданост електронских кола.. Логичка кола постају осетљивија на шум, температурне варијације, а њихова непоузданост може да буде последица и захтевнијег процеса производње. Све израженији захтеви за енергетски ефикасним уређајима, такође доводе до смањења поузданости логичких кола. Имајући све у виду, у стратегији развоја полупроводничких структура обезбеђивање поузданости чипова је апострофирано као један од пет најзначајнијих истраживачких изазова (публикација *International Technology Roadmap for Semiconductors (ITRS)* - www.itrs.net).

Изненађујућа је чињеница да се поред решења која нуди теорија информација, у већини постојећих реализација поузданост обезбеђује простим вон Нојмановим мултиплексирањем - ако је потребно повећати поузданост логичког кола оно се једноставно мултиплексира три пута (*Triple Modular Redundancy*). Иако су кодне шеме нашле примену у меморијама, кодови који имају способност исправљања једноструких грешака на дужини једног адресног блока (Хемингови кодови) доминантно су коришћени. Кодови са бољим корективним способностима од Хемингових, какви су LDPC кодови, могу повећати поузданост меморијских уређаја нових генерација. Посебно је интересантна примена кодних шема у тродимензионалним полихедралним меморијама, које омогућавају имплементацију итеративних декодера LDPC кодова.

Предложена тема докторске дисертације припада актуелној и значајној области теорије информација, о чему говори већи број радова из ове области публикованих у најзначајнијим часописима у протеклих неколико година датих у наставку.

- [2.1] J. Von Neumann, "Probabilistic logics and the synthesis of reliable organisms from unreliable components," in *Automata Studies*, C.E. Shannon and J. McCarty, eds., Princeton Univ. Press, July 1956, pp. 43–98.
- [2.2] M. Taylor, "Reliable information storage in memories designed from unreliable components," *Bell System Technical Journal*, vol. 47, pp. 2299–2337, 1968.
- [2.3] B. Vasic and S. K. Chilappagari, "An information theoretical framework for analysis and design of nanoscale fault-tolerant memories based on low-density parity-check codes," *IEEE*

Transactions on Circuits and Systems I, Regular Papers, vol. 54, no. 11, pp. 2438–2446, Nov. 2007.

- [2.4] L. Varshney, "Performance of LDPC codes under faulty iterative decoding," *IEEE Transactions on Information Theory*, vol. 57, no. 7, pp. 4427–4444, July 2011.
- [2.5] S. M. S. Tabatabaei Yazdi, C. H. Huang, and L. Dolecek, "Optimal design of a Gallager B noisy decoder for irregular LDPC codes," *IEEE Communications Letters*, vol. 16, no. 12, pp. 2052–2055, Dec. 2012.
- [2.6] S. M. S. Tabatabaei Yazdi, H. Cho, and L. Dolecek, "Gallager B decoder on noisy hardware," *IEEE Transactions on Communications*, vol. 61, no. 5, pp. 1660–1673, May 2013.
- [2.7] A. Balatsoukas-Stimming and A. Burg, "Density evolution for min-sum decoding of LDPC codes under unreliable message storage," *IEEE Communications Letters*, vol. 18, no. 5, pp. 849–852, May 2014.
- [2.8] O. Al Rasheed, P. Ivanis, and B. Vasic, "Fault-tolerant probabilistic gradient-descent bit flipping decoder," *IEEE Communications Letters*, vol. 18, no. 9, pp. 1487–1490, Sep. 2014.
- [2.9] E. Dupraz, D. Declercq, B. Vasic, and V. Savin, "Finite alphabet iterative decoders robust to faulty hardware: Analysis and selection," in 8th International Symposium on Turbo Codes and Iterative Information Processing (ISTC), Bremen, Germany, Aug. 2014, pp. 1–10.

Вон Нојман [1] је био први који је анализирао поузданост система састављеног од непоузданих компоненти. Његов приступ укључује мултиплексирање логичких кола у циљу повећања поузданости комплетног система. Иако мултиплексирање, са становишта теорије информација, није претерано ефикасно, вон Нојманов рад поставио је основ за будућа истраживања. Од посебног значаја је начин моделовања грешака које је предложио. Његов модел подразумева да свака компонента, у неком тренутку, отказује са фиксном вероватноћом, при чему су откази компонената међусобно некорелисани. У већини радова из ове области коришћен је вон Нојманов модел грешака [2]–[10].

Тејлор [2] је био први истраживач који је анализирао кодне шеме у контексту повећања поузданости VLSI система. Његов допринос огледа се у проналажењу меморијске архитектуре, конструисане на основу LDPC кодова, која је у стању да сачува информациони садржај произвољно дуг временски период. У свом пионирском раду Тејлор је, у аналогiji са Шеноновом другом теоремом, дефинисао и капацитет меморија, као меру комплексности меморије потребне за успешно складиштење информација. Иако је последњих година било покушаја ограничавања капацитета меморија, његово одређивање је и даље отворен проблем. У време објављивања Тејлоровог чланка многе особине LDPC кодова нису биле познате. Њихов опис помоћу бипартитног Танеровог графа, детерминистички методи конструкције и гарантована способност исправљања грешака су неке од особина LDPC кодова, који се могу искористити за повећање поузданости VLSI система. У духу ових резултата, аутори рада [3] предложили су генерални теоријски оквир за даља истраживања везана за декодере LDPC кодова реализоване од непоузданих логичких кола. Значајан пробој у овој области направио је и Варшни [4], који је доказао да је асимптотску *density evolution* технику, коришћену при анализи декодера састављених од поузданих компоненти, могуће успешно употребити ако компоненте декодера нису поуздане. Он је такође показао да, за разлику од поузданог декодовања LDPC кодова, хардверска несавршеност онемогућава достизање Шеноновог капацитета. Након тога уследила је серија чланака посвећена асимптотској анализи различитих итеративних декодера. Тако су аутори радова [5] и [6] анализирали *Gallager-B* итеративни декодер, док су сложенији декодери *Min-sum* и FAID, који раде на бази меких одлука, посматрани у радовима [7] и [8], респективно. Истраживања су показала да, иако супериорни када су имплементирани на поузданом хардверу, *Min-sum* и FAID декодери нису отпорни на грешке у логичким колима. С друге стране, деградација перформанси *hard-decision* декодера је мање изражена, што их, уз ниску комплексност реализације, чини веома погодним за примене у новим VLSI чиповима. Посебно интересантна чињеница је да

непоузданост логичких кола под одређеним условима може и да побољша перформансе *hard-decision* декодера, што је илустровано скорије у раду [10].

3. Полазне хипотезе

У овом истраживању полази се од следећих претпоставки (хипотеза):

- 1) LDPC кодови остварују Шенонов капацитет и представљају незаменљиву технику за корекцију грешака у разним телекомуникационим протоколима. Велики број различитих метода конструкције, као и типова итеративног декодовања, чине ову групу кодова погодним за истраживање и у области поузданости VLSI система. Од посебног је интереса чињеница да комплексност итеративног LDPC декодера расте линеарно са дужином кода, што је особина која није примећена код других линеарних блок кодова. Поменута карактеристика потребна је за обезбеђивање стабилности меморије, што је приметио и Тејлор у свом оригиналном чланку [2].
- 2) Вон Нојманов модел хардверских грешака представља само грубу апроксимацију процеса који доводи до грешака у логичким колима. Често на појаву грешке утичу и улазне вредности у логичко коло из претходних тренутака, тј. грешке су просторно и временски корелисане. Уместо да се грешке описују као независне случајне променљиве, опис преко Марковљевог процеса више одговара реалности.
- 3) Са становишта реализације VLSI чипова потребно је изабрати решење које остварује жељену поузданост, изражену преко заостале вероватноће грешке декодера, уз минималну комплексност декодовања. У случају декодовања поузданим хардвером, где су декодери на бази меког одлучивања супериорнији у односу на декодере који доносе тврде одлуке, избор представља баланс између поузданости и комплексности. У случају декодовања на непоузданом хардверу, једноставност декодера који доносе тврде одлуке чини овај тип декодовања отпорнијим на хардверске грешке. Због тога се очекује да *bit-flipping*, *Gallager-A/B*, или *PGDBF* декодери нађу ширу примену у новим VLSI чиповима, од традиционалних алгоритама као што су *Min-sum*, *Sum-product* или *FAID*.
- 4) Познато је да потпуна поузданост VLSI чипова није могућа, чак и ако се подаци чувају у кодованој форми. Ако се екстракција информационог садржаја обавља на непоузданом чипу, потпуно исправан садржај може бити корумпиран у логичким колима која обављају екстракцију информација. Због тога се у литератури често говори о тзв. “златним” логичким колима, која су савршено поуздана [2], [4]. Приликом дизајнирања система пожељно је смањити број “златних” кола на минимум.

4. Научне методе истраживања

У овом истраживању издвојени су следећи општи методи анализе LDPC декодера конструисаних од непоузданих компоненти:

- 1) Општа теорија анализе LDPC кодера и декодера рачунарском симулацијом, применом Монте Карло симулационих метода.
- 2) Аналитички метод анализе декодера применом *density evolution* технике, која омогућава асимптотску анализу ансамбла LDPC кодова.
- 3) Примена различитих математичких теорија из области комбинаторике и графова, у циљу одређивања корективне способности итеративних декодера (пре свега теорије експандер графова).
- 4) Употреба различитих запажања из теорије Булових функција, у циљу поређења различитих архитектура у погледу комплексности.

У вези са остваривањем предвиђеног истраживања, очекује се математичка анализа различитих декодера, у погледу комплексности и поузданости изражене преко вероватноће грешке и гарантоване корективне способности кодног система, за различите моделе грешака у хардверу.

5. Очекивани научни допринос

Очекивани допринос докторске дисертације је математичка анализа LDPC декодера и меморијских архитектура на бази LDPC кодова, у случају корелисаних грешака у хардверу.

- Основни допринос представљаће развој новог концепта за моделовање грешака у логичким колима, базираног на Марковљевим процесима, који узима у обзир природу настанка грешака. Овакав модел представља генералније решење од, у литератури коришћеног, вон Нојмановог модела.
- На основу предложеног модела, биће извршена анализа значајних *hard-decision* декодера у погледу вероватноће грешке и гарантоване способности исправљања грешака. Очекивано је извођење израза у затвореној форми, који значајно убрзавају процес анализе декодера, од симулационе Монте Карло технике.
- Биће извршено поређење једнокорачних (*one-step*) и више итеративних алгоритама декодовања у циљу одређивања типа декодера који обезбеђује оптималне перформансе у случају када је сам декодер састављен од непоузданих компоненти.
- Такође, анализа ће бити проширена и на меморијске архитектуре које укључују LDPC декодере. На основу извршене математичке анализе, очекује се да ће бити предложена меморијска архитектура ниске комплексности и високе толеранције на корелисане хардверске грешке.

6. План истраживања и структура рада

План истраживања ове докторске дисертације може се поделити у неколико корака:

- 1) Проучавање основних библиографских извора о поузданости VLSI чипова и метода за пробабилистичку анализу логичких кола.
- 2) Преглед најновијих истраживања из области декодера LDPC кодова, реализованих на непоузданом хардверу, као и њихове примене у меморијама.
- 3) Развој новог модела грешака у логичким колима, који би боље описао физичке појаве и био погоднији за процену перформанси декодера.
- 4) Математичка анализа постојећих декодера у реалнијим условима.
- 5) Предлог меморијске архитектуре ниске комплексности, отпорне на хардверске грешке.
- 6) Упоредна анализа са решењима која су описана у отвореној доступној литератури.
- 7) Препознавање и установљење могућих даљих праваца истраживања.

Структура предложене тезе пратиће наведени план истраживања. Поред уводног прегледа основних теорија LDPC кодова и декодера, централни део рада садржаће приказ итеративних декодера, са посебним освртом на оне декодере за које се зна да обезбеђују прихватљив ниво толеранције на хардверске грешке. Остатак тезе биће посвећен моделовању грешака и анализи декодера у случају корелисаних хардверских грешака. На основу тих резултата биће предложена меморијска архитектура, која обезбеђује висок ниво поузданости при очувању информационог садржаја.

7. Закључак и предлог

На основу изложеног, Комисија сматра да кандидат **Срђан Бркић**, мастер инжењер електротехнике и рачунарства, испуњава све законске, формалне и суштинске услове као и све критеријуме који се уобичајено примењују приликом оцене подобности кандидата на Електротехничком факултету Универзитета у Београду. Тема дисертације је актуелна, делови истраживања су већ верификовани у међународној јавности, и по оцени Комисије даје могућности кандидату да оствари научни допринос.

Комисија констатује да тема припада научној области **Телекомуникација** за коју је **Електротехнички факултет у Београду** матичан, и при томе за ментора докторске дисертације предлаже **др Предрага Иваниша, ванредног професора**, запосленог на Електротехничком факултету у Београду.

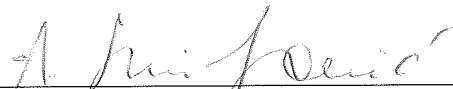
Комисија има задовољство и част да предложи Наставно-научном већу Електротехничког факултета у Београду да одобри израду докторске дисертације кандидату Срђану Бркићу под насловом „**Декодовање кодова са малом густином провера парности у присуству грешака у логичким колима**”.

У Београду, 24.9.2015. године

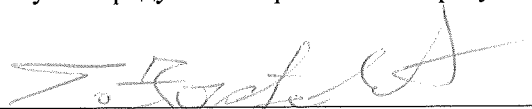
ЧЛАНОВИ КОМИСИЈЕ



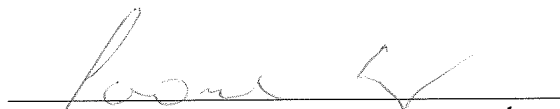
др Предраг Иваниш, ванредни професор
Универзитет у Београду – Електротехнички факултет



др Александра Смиљанић, редовни професор
Универзитет у Београду – Електротехнички факултет



др Горан Т. Борђевић, ванредни професор
Универзитет у Нишу – Електронски факултет



др Лазар Сарановац, ванредни професор
Универзитет у Београду – Електротехнички факултет