

НАСТАВНО-НАУЧНОМ ВЕЋУ

Предмет: Подобност теме и кандидата Живојина Шуштрана, мастер инжењера за израду докторске дисертације

Одлуком Наставно-научног већа Електротехничког факултета бр. 5032/12-1 од 20.06.2017. године, именовани смо за чланове Комисије за оцену подобности теме и кандидата Живојина Шуштрана, мастер инжењера електротехнике и рачунарства, за израду докторске дисертације и научне заснованости теме “Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија”.

На основу материјала приложеног уз захтев кандидата, Комисија подноси следећи

ИЗВЕШТАЈ

1. Подаци о кандидату

1.1. Биографски подаци

Живојин Шуштран је рођен 05. новембра 1987. године у Београду, где је завршио основну школу и гимназију. Током похађања основне и средње школе учествовао је и освајао награде на многобројним такмичењима из хемије, математике и физике, међу којима је и једно међународно такмичење. Након завршетка основног и средњег образовања награђен је Вуковим дипломама.

Електротехнички факултет у Београду уписао је 2006. године, са максималним бројем бодова на пријемном испиту. Дипломирао је 14. октобра 2010. године на Одсеку за рачунарску технику и информатику, са просечном оценом 9,71. Дипломски рад под насловом "Парсер OQL упита" израдио је под менторством проф. др Драгана Милићева и одбранио га 14.10.2010. са оценом 10.

Мастер академске студије је уписао 2010. године на Електротехничком факултету у Београду, на модулу Рачунарска техника и информатика. Студије је завршио 25.09.2012. године са просечном оценом 10, одбраном мастер рада "Системи са подељеном кеш меморијом" код ментора проф. др Вељка Милутиновића.

Од маја 2011. године ангажован је на Катедри за рачунарску технику и информатику, где је први пут изабран за сарадника у настави. У звање асистента претходни пут је изабран 01.03.2017. Ангажован је у настави на 8 различитих предмета, који се изводе на оба студијска програма, Електротехника и рачунарство и Софтверско инжењерство и изводи вежбе на табли и лабораторијске вежбе за изузетно велики број студената, на све четири године студија. Као асистент на Електротехничком факултету био је ангажован на следећим предметима:

Програмирање 1, Програмирање 2, Рачунарски ВЛСИ системи, Оперативни системи 1, Оперативни системи 2, Пројектовање софтвера, Практикум из Програмирања 1, Практикум из Програмирања 2 и Практикум из Оперативних система. Формирао је у потпуности садржај за аудиторне и лабораторијске вежбе за курс Практикум из Оперативних система.

Био је рецензент радова на домаћим конференцијама ETRAN и TELFOR. Држао је курс 2013. године на Факултету за рачунарство, Универзитет у Љубљани под називом „Програмирање суперрачунара“. Током летњих месеци 2016. године усавршавао се на тромесечној стручној пракси у Maxeler Technologies London, где је радио на развоју акцелератора за обраду великих количина података.

1.2. Стечено научноистраживачко искуство

Живојин Шуштран је научно-истраживачко искуство започео 2012. године уписом на докторске академске студије на Електротехничком факултету Универзитета у Београду, за област Рачунарска техника и информатика, и на тим студијама положио је следеће испите:

- Мултипроцесорски системи (9 ЕСПБ)	оцена 10 (десет)
- Пројектовање рачунара у ВЛСИ техници (9 ЕСПБ)	оцена 10 (десет)
- Моделовање и мерење рачунарских перформанси (9 ЕСПБ)	оцена 10 (десет)
- Развој микропроцесорског софтвера (9 ЕСПБ)	оцена 10 (десет)
- Одабрана поглавља из архитектуре рачунарских система (9 ЕСПБ)	оцена 10 (десет)
- Одабрана поглавља из оперативних система (9 ЕСПБ)	оцена 10 (десет)
- Принципи програмских језика (9 ЕСПБ)	оцена 10 (десет)
- Софтверски дефинисане мреже (9 ЕСПБ)	оцена 10 (десет)
- Архитектуре за подршку софтверским системима (9 ЕСПБ)	оцена 10 (десет)
- Увод у научни рад (6 ЕСПБ)	оцена 10 (десет)

Поред испита, кандидат је обавио и два студијска истраживачка рада и један научно-стручни рад, што је предвиђено планом докторских студија.

Од 2012. године до данас кандидат је учествовао на следећим научним и стручним пројекатима на Електротехничком факултету Универзитета у Београду:

- 1.1. Учесће на пројекту: „Развој нових информационо-комуникационих технологија, коришћењем напредних математичких метода, са применама у медицини, телекомуникацијама, енергетици, заштити националне баштине и образовању“ на Електротехничком факултету Универзитета у Београду, финансираног од стране Министарства просвете, науке и технолошког развоја, пројекат број III 044006, 2013-2017.

Живојин Шуштран је аутор 7 научних публикација. Аутор је три рада у научним часописима, од чега су два рада у часописима са *impact* фактором. У зборницима радова међународних скупова је објавио два научна рада, док је на скуповима националног значаја објављивао два пута.

Главна област интересовања му је архитектура рачунара са нагласком на меморијски систем и на процесоре опште намене. У последњих неколико година посвећује пажњу и дизајну реконфигурабилних процесора специјалне намене.

Објављени радови кандидата

M20 – међународни часописи са импакт фактором:

- 1.1. Mišić, M., Šuštran, Ž., Protić, J., "A Comparison of Software Tools for Plagiarism Detection in Programming Assignments," International Journal of Engineering Education, Vol. 32, No. 2, pp. 738-748, Apr 2016, ISSN 0949-149X (IF=0.609 za 2016, M23).
- 1.2. Šuštran, Ž., Rakočević, G., Milutinović, V., "Chapter Five – Dual Data Cache Systems: Architecture and Analysis," ADVANCES IN COMPUTERS, Vol. 96, pp. 187-223, Feb 2015, ISSN 0065-2458 (IF= 0.256 za 2015, M23)

M50 – домаћи часописи:

- 2.1. Šuštran, Ž., Todorovic, M., Milutinović, V., "Feasibility Study on the SAT Solver on DataFlow Architecture", IPSI TRANSACTIONS ON INTERNET RESEARCH, Vol. 9, No. 2, pp. 10-15, Jul 2013, ISSN 1820-4503, (M53)

M30 – међународне конференције:

- 3.1. Rakočević, G., Šuštran, Ž., Milutinović, V., "A Modified Split Temporal/Spatial Cache," IEEE Multi-Conference on Systems and Control (MSC), pp. 190-195, IEEE, Dubrovnik, Croatia, 2012. (M33)
- 3.2. Šuštran, Ž., Stojanović, S., Rakočević, G., Milutinović, V., Valero, M., "A survey of dual data cache systems," 2012 IEEE International Conference On Control Applications (CCA), pp. 450-456, IEEE, Athens, Greece, Mar, 2012. (M33)

M60 – домаће конференције:

- 4.1. Purić, S., Šuštran, Ž., Protić, J., "Softverski alat SinGen za generisanje pitanja i odgovora iz oblasti sintakse u nastavi programiranja," YU INFO 2016, pp. 351-356, Društvo za informacione sisteme i računarske mreže, Kopaonik, Feb, 2016. (M63)
- 4.2. Mišić, M., Šuštran, Ž., Protić, J., "Pregled i primena sistema za otkrivanje plagijata u programskim zadacima studenata," YU INFO 2015, pp. 473-478, Društvo za informacione sisteme i računarske mreže, Kopaonik, Mar, 2015. (M63)

1.3. Оцена подобности кандидата за рад на предложеној теми

Дана 21.06.2017. године одржана је јавна усмена одбрана теме докторске дисертације Живојина Шуштрана, пред комисијом коју су чинили:

- др Милош Цветановић, доцент Електротехничког факултета Универзитета у Београду,
- др Милош Ковачевић, ванредни професор Грађевинског факултета Универзитета у Београду, и
- др Вујо Дрндаревић, редовни професор Електротехничког факултета Универзитета у Београду.

Комисија је кандидата на јавној усменој одбрани оценила оценом "задовољно".

2. Предмет и циљ истраживања

У последњој декади евидентни су трендови технологије и апликација за превазилажење ограничења у погледу енергије и дисипације (енг. *power wall*), све већих разлика у брзинама процесора и меморије (енг. *memory wall*), као и све мањих могућности коришћења паралелизма на нивоу инструкције (енг. *ILP wall*). Повећање перформанси процесора постало је тежак задатак и стално се истражују нова решења у архитектури и организацији процесора да би се тај проблем превазишао. Поред архитектуралних побољшања, добитак у перформансама процесора се до сада највише заснивао на повећању фреквенције сигнала такта. Повећање фреквенције резултује повећањем динамичке снаге, па се прешло на смештање више простијих процесора на једном чипу и развој вишејезгарних процесора (енг. *multicore processors*). Повећањем броја језгара на једном чипу постижу се извесна убрзања, али не више тако драстична као раније. Највећи проблем је што су апликације биле развијане за извршавање на једном процесору (секвенцијалне), па се убрзање добијало само ако постоји мултипрограМСко оптерећење које може да се извршава у паралели. У недостатку правих паралелних апликација ресурси вишејезгарног процесора често остају неискоришћени. Потреба да се апликације паралелизују ради побољшања перформанси и бољег искоришћења ресурса знатно отежава њихово програмирање и тестирање. Поред тога, појава вишејезгарних процесора намеће веће захтеве у погледу пропусне моћи меморијског система и ефективног времена приступа подацима. Осим тога, трансфер података између меморије и процесора траје неколико редова величине дуже него што траје обрада тих података. Тај проблем се решавао стављањем малих локалних меморија, тзв. кеш меморија (енг. *cache memory*), у сам процесор, које служе да се подаци који се активно користе налазе на самом чипу и на тај начин им се приступа много брже. Оне се обично организују у вишенивоске хијерархије. Повећањем броја језгара расте и потреба за подацима који се активно користе, што значи да капацитет кеш меморије треба да се сразмерно повећава. То повећање није лако постићи, јер већи капацитет кеш меморије значи и повећање времена приступа, што доприноси смањењу перформанси самог процесора.

Разни приступи решавању ових проблема се могу наћи у отвореној литератури, што укључује иновативне технике за пројектовање кеш меморија. Једна група решења се базира на коришћењу више различитих врста кеш меморија које служе за кеширање различитих врста података. Проблем отежаног програмирања и тестирања апликација се може решити пребацивањем одговорности за исправно функционисање паралелних апликација са програмера на сам вишејезгарни процесор применом програмског модела трансакционе меморије (енг. *transactional memory*). Основна идеја је да програмер само означи који делови апликације морају атомично да се изврше у односу на остале делове који се извршавају на другим језгрима. Ови атомични делови се називају трансакцијама. Језгро детектује када се нека трансакција није атомично извршила, па је понавља све док се не изврши атомично.

Једна техника која омогућава ефикасније искоришћење вишејезгарног процесора са становишта перформанси и потрошње енергије су асиметрични вишејезгарни процесори. Асиметрични вишејезгарни процесори се састоје од више језгара која нису истоветне архитектуре, па су нека обично бржа, а нека спорија за одређене намене. Идеја је да се на бржим језгрима извршавају секвенцијални делови апликација који не могу да искористе постојање више језгара, а да се спорија језгра користе за паралелне делове.

Циљ овог истраживања је да се комбинацијом горе наведених техника утврди да ли се може добити убрзање извршавања апликација на асиметричним вишејезгарним процесорима. С

обзиром да су технике ортогоналне, потребно је осмислити ефикасан начин за добијање синергије у њиховом комбиновању. Специфична организација подсистема кеш меморија треба да омогући већу доступност података процесору и да допринесе да се део апликације на једном процесору брже извршава, без значајног повећања самог подсистема кеш меморија. Поред тога, циљ је да се утврди како ће тај нови начин организације утицати на примену техника трансакционе меморије и асиметричних вишејезгарних процесора. С обзиром да перформансе апликација које користе трансакциону меморију могу да се погоршају ако се трансакције често понављају, треба такође да се испита да ли новом методом кеширања и миграцијом трансакција које су критичне може да се смањи њихов број понављања. Намера истраживања је да се формулише алгоритам који врши миграцију трансакција по потреби и испита његов начин реализације у вишејезгарном процесору. Миграцијом трансакција на брже језгро смањио би се број њиховог понављања, јер ако се трансакција брже изврши, мања је вероватноћа да ће се извршавати упоредо са другим трансакцијама. За то је потребно поставити аналитички оквир који ће обезбедити квантитативну евалуацију предности и недостатака комбиновања предложених техника.

С обзиром да су неке наведене технике већ примењене у производима најбољих светских произвођача процесора, а неке су предложене у истраживачким студијама, овај рад ће тежити синергистичкој примени модерних концепата у циљу постизања бољих перформанси. Значај истраживања је у томе што ће се осмислити нови начин пројектовања вишејезгарних процесора који ће омогућити брже извршавање апликација.

Референце истраживања везаних за тезу:

- [1] M. A. Suleman, O. Mutlu, M. K. Qureshi, and Y. N. Patt, "Accelerating Critical Section Execution with Asymmetric Multicore Architectures," *IEEE Micro*, vol. 30, no. 1, pp. 60–70, Jan. 2010.
- [2] J. C. Saez, A. Pousa, F. Castro, D. Chaver, and M. Prieto-Matias, "Towards completely fair scheduling on asymmetric single-ISA multicore processors," *J. Parallel Distrib. Comput.*, vol. 102, pp. 115–131, Apr. 2017.
- [3] J. A. Joao, M. A. Suleman, O. Mutlu, and Y. N. Patt, "Utility-Based Acceleration of Multithreaded Applications on Asymmetric CMPs," *ISCA '13 Proceedings of the 40th Annual International Symposium on Computer Architecture*, pp. 154–165., Tel-Aviv, Israel, 2013.
- [4] S. Mittal, "A Survey of Techniques for Architecting and Managing Asymmetric Multicore Processors," *ACM Comput. Surv.*, vol. 48, no. 3, pp. 1–38, Feb. 2016.
- [5] M. D. Hill and M. R. Marty, "Amdahl's Law in the Multicore Era," *Computer (Long. Beach. Calif.)*, vol. 41, no. 7, pp. 33–38, Jul. 2008.
- [6] S. Eyerhan and L. Eeckhout, "Modeling critical sections in Amdahl's law and its implications for multicore design," in *Proceedings of the 37th annual international symposium on Computer architecture - ISCA '10*, 2010, vol. 38, no. 3, p. 362.
- [7] N. B. Lakshminarayana, J. Lee, and H. Kim, "Age based scheduling for asymmetric multiprocessors," in *Proceedings of the Conference on High Performance Computing Networking, Storage and Analysis - SC '09*, 2009, no. c, p. 1.
- [8] J. C. Saez, A. Fedorova, D. Koufaty, and M. Prieto, "Leveraging Core Specialization via OS Scheduling to Improve Performance on Asymmetric Multicore Systems," *ACM Trans. Comput. Syst.*, vol. 30, no. 2, pp. 1–38, Apr. 2012.
- [9] N. Markovic, D. Nemirovsky, O. Unsal, M. Valero, and A. Crista, "Thread Lock Section-Aware Scheduling on Asymmetric Single-ISA Multi-Core," *IEEE Comput. Archit. Lett.*, vol. 14, no. 2, pp. 160–163, Jul. 2015.

- [10] M. Herlihy and J. E. B. Moss, "Transactional memory," *ACM SIGARCH Comput. Archit. News*, vol. 21, no. 2, pp. 289–300, May 1993.
- [11] A. González, C. Aliagas, and M. Valero, "A data cache with multiple caching strategies tuned to different types of locality," in *Proceedings of the 9th international conference on Supercomputing - ICS '95*, 1995, pp. 338–347.
- [12] V. Milutinovic, M. Tomasevic, B. Markovic, and M. Tremblay, "A new cache architecture concept: the split temporal/spatial cache," in *Proceedings of 8th Mediterranean Electrotechnical Conference on Industrial Applications in Power Systems, Computer Science and Telecommunications (MELECON 96)*, vol. 2, no. 1, pp. 1108–1111.

3. Полазне хипотезе

Полазне хипотезе које ће бити усвојене у овој дисертацији су:

- Прилагођењем подсистема кеш меморија које уважава карактеристичне начине приступа подацима могу се добити боље перформансе процесора у извршавању неких врста апликација, уз евентуално смањење потрошње енергије и ресурса на чипу.
- Коришћењем асиметричних вишејезгарних процесора могу се добити боље перформансе за неке врсте апликација које користе трансакциону меморију, у односу на случај када се користе симетрични вишејезгарни процесори, без значајнијег повећања потрошње ресурса на чипу. Ово се може постићи динамичком миграцијом трансакције на језгро веће процесорске снаге, чиме се омогућује смањење броја поновљених трансакција.
- Алгоритам за миграцију трансакција се може скалабилно реализовати на вишејезгарном процесору, са незнатним повећањем потрошње ресурса на чипу.
- Прилагођењем подсистема кеш меморија се може убрзати извршавање мигрираних трансакција на основу смањења броја промашаја у кеш меморијама за податке.

4. Научне методе истраживања

У овој дисертацији биће примењене следеће методе истраживања:

- Упоредна анализа постојећих решења за имплементацију кеш меморија за податке и миграцију делова извршавања апликације са споријег на брже језгро у асиметричном вишејезгарном процесору.
- Формирање аналитичког модела за представљање миграција трансакција у асиметричним вишејезгарним процесорима са прилагођеном кеш меморијом за податке и формулисање квантитативних параметара.
- Софтверска имплементација предложеног решења значајним специфичним проширењима у већ постојећем симулатору отвореног кода. Симулатор је базиран на догађајима и симулира процесор на нивоу основних модула суперскаларних процесора.
- Симулациона евалуација кроз низ експеримената у којима се мења број језгара, архитектура процесора, број нити апликације, организација кеш подсистема и други релевантни параметри.

5. Очекивани научни допринос

Очекује се да ће ова дисертација довести до следећих научних доприноса:

- Детаљан преглед и класификација постојећих решења у области асиметричних вишејезгарних процесора.
- Детаљан преглед и класификација постојећих решења у области оптимизације подсистема кеш меморија.
- Нови алгоритам заснован на историји извршавања трансакција којим се динамички одлучује о миграцији трансакција на језгра различитих карактеристика.
- Предлог за прилагођење подсистема кеш меморија у складу са карактеристикама приступа подацима, како би се постигле боље перформансе.
- Анализа и евалуација перформанси одабраних апликација у оквиру пакета STAMP у симулационом окружењу базираном на симулатору GEM5.
- Испитивање скалабилности раста перформанси система са повећањем броја језгара на чипу.

6. План истраживања и структура рада

Планира се да се истраживање изведе у следећим фазама:

- Прва фаза обухвата преглед и класификацију постојећих решења за организацију кеш меморија података и одржавање меморијске конзистенције код вишејезгарних система. У обзир ће бити узета само она решења која имају више различитих типова кеш меморија, где сваки тип меморије служи за кеширање података са различитим карактеристикама приступа.
- Друга фаза обухвата преглед и класификацију постојећих решења за боље искоришћење асиметричних вишејезгарних процесора миграцијом дела нити (критичних секција, уских грла, итд.)
- Трећа фаза обухвата постављање симулационог окружења базираног на симулатору GEM5 и његово проширење тако да подржи трансакциону меморију, миграцију трансакција и прилагођење подсистема кеш меморија специфичним карактеристикама приступа подацима уз одржавање меморијске конзистенције.
- Четврта фаза обухвата симулациону анализу предложеног решења и оцену добијених аналитичких и симулационих резултата.
- Пета фаза обухвата дискусију применљивости предложених побољшања са гледишта сложености и цене решења које би се применило у пракси.

7. Закључак и предлог

На основу свега изложеног, Комисија констатује да кандидат Живојин Шуштран испуњава потребне услове да може приступити изради докторске дисертације, под радним насловом **“Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија”**.

Ужа научна област предложене теме је рачунарска техника и информатика. За менторе се предлажу проф. др Јелица Протић, ванредни професор Електротехничког факултета Универзитета у Београду и проф. др Мило Томашевић, редовни професор Електротехничког факултета Универзитета у Београду.

Стога комисија предлаже Наставно-научном већу Електротехничког факултета у Београду да одобри Живојину Шуштрану израду докторске дисертације под горе наведеним насловом под руководством ментора проф. др Јелице Протић и проф. др Мила Томашевића.

У Београду, 22.06.2017. године

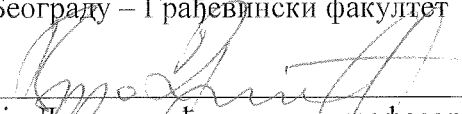
ЧЛАНОВИ КОМИСИЈЕ


др Јелица Протић, ванредни професор
Универзитет у Београду – Електротехнички факултет


др Мило Томашевић, редовни професор
Универзитет у Београду – Електротехнички факултет


др Милош Цветановић, доцент
Универзитет у Београду – Електротехнички факултет


др Милош Ковачевић, ванредни професор
Универзитет у Београду – Грађевински факултет


др Вујо Диндаревић, редовни професор
Универзитет у Београду – Електротехнички факултет