



Универзитет у Београду
Већу научних области техничких наука

З А Х Т Е В

за давање сагласности на предлог теме докторске дисертације

Молимо да, сходно чл.46 ст.5.тач.4 Статута Универзитета у Београду („Гласник Универзитета“ бр.131/06), дате сагласност на предлог теме докторске дисертације:
„Имплементација функција пакетског процесирања у Интернет рутерима великог капацитета“ коју је пријавио кандидат **мр Зоран Чича**.
Научна област: **електротехника**

ПОДАЦИ О КАНДИДАТУ:

1. Име, име једног од родитеља и презиме кандидата
Мр ЗОРАН (ГОЈКО) ЧИЧА
2. Назив и седиште факултета на коме је стекао високо образовање
Електротехнички факултет Универзитета у Београду
3. Година дипломирања: **2002.године**
4. Назив магистарске тезе кандидата
„Примена детерминистичке теорије сервисних система у планирању транспортних мрежа“
5. Назив факултета на коме је магистарска теза одбрањена
Електротехнички факултет Универзитета у Београду
6. Година одбране магистарске тезе: **2007.год.**
7. Назив факултета на коме је кандидат завршио докторске студије: /
8. Одсек, смер или група: /
9. Година завршетка докторских студија: /

Обавештавамо вас да је Наставно-научно веће Електротехничког факултета на седници одржаној **24.5.2011.године** размотрило предложену тему и закључило да је тема подобна за израду докторске дисертације.

Прилог:

- 1.Предлог теме докторске дисертације са образложењем
- 2.Акт надлежног тела Факултета о подобности теме за израду докторске дисертације

ДЕКАН
ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА

Проф.др Миодраг Поповић



На основу чл.128 Закона о високом образовању и чл.66 и чл.68 Статута Електротехничког факултета у Београду, Наставно-научно веће на седници од 24.5.2011.године, донело је

О Д Л У К У

О ПРИХВАТАЊУ ТЕМЕ ДОКТОРСКЕ ДИСЕРТАЦИЈЕ

Прихвата се тема докторске дисертације под насловом:

„Имплементација функција пакетског процесирања у Интернет рутерима великог капацитета“ коју је пријавио **мр Зоран Чича**.

За ментора је именована др Александра Смиљанић, ванредни професор Електротехничког факултета Универзитета у Београду.

Д Е К А Н
Електротехничког факултета

Проф.др Миодраг Поповић

ПОДАЦИ О МЕНТОРУ

за кандидата Zoran Čiča

Име и презиме ментора: Aleksandra Smiljanić

Звање: Vanredni profesor

Списак радова који квалификују ментора за вођење докторске дисертације:

1. M. Antić, N. Maksić, P. Knežević, **A. Smiljanić**, "Two Phase Load Balanced Routing using OSPF", *IEEE Journal on Selected Areas in Communications*, vol. 28(1), pp. 51-59, January 2010, ISSN 0733-8716 (IF=3.758)
2. M. Antić, **A. Smiljanić**, "Cost Reduction of Reliable Networks Using Load Balanced Routing", *IEEE Communication Letters*, vol. 14(3), pp. 263-265, March 2010, ISSN 1089-7798, (IF=1.140)
3. M. Petrović, **A. Smiljanić**, Miloš Blagojević, "Design of the Switching Controller for the High-Capacity Non-Blocking Internet Router", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 17(8), pp. 1157-1161, August 2009, ISSN 1063-8210, (IF=1.010)
4. M. Antić, **A. Smiljanić**, "Routing with Load Balancing: Increasing the Guaranteed Node Traffics", *IEEE Communication Letters*, vol. 13(6), pp. 450-452, June 2009, ISSN 1089-7798, (IF=1.140)
5. **A. Smiljanić**, "Rate and Delay Guarantees Provided by Clos Packet Switches with Load Balancing", *IEEE/ACM Transactions on Networking*, vol.16(1), pp. 170-181, February 2008, ISSN 1063-6692, (IF=2.576)

Код навођења радова са SCI листе, потребно је да се **наведу потпуне референце објављеног рада** и да се упише IF за годину када су радови објављени и тачни ISSN бројеви.

Заокружити одговарајућу опцију (А, Б, В или Г):

А) У случају менторства дисертације на докторским студијама у групацији техничко-технолошких, природно-математичких и медицинских наука, ментор треба да има најмање три рада са SCI, SSCI, AHCI или SCIE листе, као и Math-Net.Ru листе.

Б) У случају менторства дисертације на докторским студијама у групацији друштвено-хуманистичких наука ментор треба да има најмање три рада са релевантне листе научних часописа (Релевантна листа научних часописа обухвата SCI, SSCI, AHCI или SCIE листе, листу часописа које је Министарство за науку класификовало као М24 и додатну листу часописа коју ће, на предлог универзитета, донети Национални савет за високо образовање. Посебно се вреднују и монографије које Министарство науке класификује као М11, М12; М13, М14, М41 и М51)

В) У случају израде докторске дисертације према ранијим прописима за кандидате који су стекли академски назив магистра наука ментор треба да има пет радова (референци) које га, по оцени Већа научних области квалификују за ментора односне дисертације.

Г) У случају да у ужој научној области нема квалификованих наставника, приложити одлуку Већа докторских студија о именовању редовног професора за ментора.

Датум _____

М.П.

ДЕКАН ФАКУЛТЕТА

NASTAVNO-NAUČNOM VEĆU ELEKTROTEHNIČKOG FAKULTETA U BEOGRADU

Od strane Nastavno-naučnog veća Elektrotehničkog fakulteta Univerziteta u Beogradu određeni smo za članove Komisije za ocenu uslova i prihvatanje teme doktorske disertacije mr Zorana Čiče, magistra elektrotehničkih nauka, pod naslovom „Implementacija funkcija paketskog procesiranja u Internet ruterima velikog kapaciteta“. Nakon pregleda dostavljene dokumentacije, podnosimo Naučno-nastavnom veću Elektrotehničkog fakulteta u Beogradu sledeći

IZVEŠTAJ

1. Podaci o kandidatu

Čiča Zoran je rođen 18.3.1979. u Zagrebu. Osnovno obrazovanje je započeo u Zagrebu. Zbog rata, 1991. je izbegao u Srbiju, u Sremsku Mitrovicu gde je završio osnovnu školu, a potom upisao i završio gimnaziju. Nakon toga, 1997. godine je upisao Elektrotehnički fakultet u Beogradu kao redovan student i diplomirao 27.5.2002. sa ukupnom srednjom ocenom 9.50, na diplomskom ispitu ocena 10. Tokom studija honorarno radio kao demonstrator u Laboratoriji za elektroniku Elektrotehničkog fakulteta u Beogradu. Postdiplomske studije - smer Telekomunikacione i računarske mreže na Elektrotehničkom fakultetu je upisao 2002. Ispite na postdiplomskim studijama položio je sa prosečnom ocenom 10. Magistarsku tezu „Primena determinističke teorije servisnih sistema u planiranju transportnih mreža“, čiji je mentor bio redovni profesor dr Petrović Grozdan, odbranio je decembra 2007. godine.

U 2002. stekao je zvanje asistenta-pripravnika na Elektrotehničkom fakultetu u Beogradu. U 2008. je stekao zvanje asistenta. Držao je računске i lab vežbe iz predmeta Telekomunikacione mreže, Projektovanje digitalnih telefonskih centrala, Računarske komunikacije. Trenutno je angažovan na predmetima Računarske osnove i primene Interneta, Komutacioni sistemi, Projektovanje komunikacionog hardvera, Internet programiranje, Arhitektura svičeva i rutera. Takođe je bio angažovan kao asistent na predmetu Računarske mreže i komunikacije na Vojno-tehničkoj akademiji. Učestvovao je na nekoliko projekata finansiranih od strane Ministarstva za nauku.

Zoran Čiča je autor više radova na konferencijama, od kojih su dva bila nagrađena kao Najbolji radovi mladih autora na konferencijama ETRAN 2007 i 2009. U okviru projekta „Sistemska integracija Internet rutera“, bio je autor/koautor nekoliko radova objavljenih na domaćim i međunarodnim konferencijama (jedan od njih nagrađen na konferenciji ETRAN 2009), a isto tako i autor više tehničkih rešenja u okviru kojih su implementirane pojedine funkcije paketskog procesiranja i izvršena njihova integracija. Ovi rezultati su vezani za temu doktorske disertacije. U tekućem projektu „Razvoj servisa i bezbednosti Internet rutera visokog kapaciteta“ nastavlja istraživanja u oblasti paketske komutacije i razvoj naprednih algoritama i implementacija funkcionalnosti paketskog procesiranja. Jedan od prvih rezultata rada na tekućem projektu vezan za doktorsku disertaciju je i rad na međunarodnoj konferenciji HPSR 2011, koja će biti održana u julu ove godine.

Zoran Čiča bio je i recenzent za međunarodne časopise IEEE Communication Letters i IEEE Transactions on Communications, za međunarodnu konferenciju IEEE Workshop on High Performance Switching and Routing, kao i za domaće konferencije ETRAN i TELFOR. U 2010. dobio je priznanje Exemplary reviewer za časopis IEEE Communication Letters.

Iz navedenog se može zaključiti da je kandidat ostvario relevantne rezultate iz oblasti paketskog procesiranja u Internet ruterima. Ovi rezultati predstavljaju deo doktorske disertacije, i biće upotpunjeni dodatnim rezultatima. Takođe, može se zaključiti da se kandidat već duže vreme bavi problemima paketskog procesiranja u Internet ruterima, te da je kvalifikovan za izradu doktorske disertacije iz ove oblasti.

2. Predmet i cilj istraživanja

Internet mreža i dalje nastavlja da se razvija i raste. Broj korisnika postaje sve veći, aplikacije sve raznovrsnije i zahtevnije (video na zahtev, IPTV, onlajn igranje i dr.) i kao posledica dolazi do zahteva za povećanjem protoka u Internet mreži. Usled toga se u Internet mreži postavljaju linkovi sve većih kapaciteta. Zbog toga je neophodno povećavati i propusnu moć samih rutera koji predstavljaju osnovne uređaje na Internetu. Osnovna funkcija Internet rutera je usmeravanje paketa kroz Internet mrežu do njihovih krajnjih odredišta. Međutim, da bi se ova osnovna funkcija uspešno obavila neophodno je implementirati i niz drugih funkcija (poput ispitivanja IP zaglavlja, segmentacije paketa na ćelije fiksne dužine, raspoređivanje ćelija za slanje ka izlaznim portovima, prosleđivanje kontrolnih paketa ka procesoru rutera, protokoli rutiranja OSPF, RIP, BGP itd.).

S obzirom na brojnost funkcija koje ruter treba implementirati, funkcije rutera se obično dele na dva skupa – funkcije ravnih podataka i funkcije kontrolne ravni. Ravan podataka predstavlja putanju kroz ruter kojom idu korisnički paketi i implementira funkcije koje procesiraju korisničke pakete, dok kontrolna ravan implementira funkcije na mrežnom nivou i omogućava komunikaciju rutera sa drugim ruterima u mreži radi razmene podataka o stanju mreže (protokoli rutiranja - OSPF, RIP, BGP, nadgledanja - SNMP i dr.). Funkcije ravnih podataka se zbirno nazivaju funkcije paketskog procesiranja jer obuhvataju funkcije koje vrše obradu na korisničkim paketima – proveru ispravnosti paketa, modifikaciju IP zaglavlja paketa, lukap funkciju kojom se određuje izlazni port ka kome treba usmeriti paket, segmentaciju paketa na ćelije fiksne dužine, raspoređivanje ćelija za slanje ka izlaznim portovima, smeštanje ćelija u bafere itd.

Internet ruteri velikih kapaciteta imaju veliki broj portova na koje se priključuju linkovi velikih kapaciteta. To zahteva visoku brzinu procesiranja paketa (reda veličine nekoliko desetina ns). Otuda ravan podataka, odnosno, funkcije paketskog procesiranja moraju da se implementiraju u hardveru. U slučaju kad se vrši sopstveni razvoj funkcija paketskog procesiranja, efikasna implementacija može da se izvrši u ASIC čipovima koji bi bili optimizovani za rad sa određenim skupom funkcija paketskog procesiranja koje treba da implementiraju. Međutim, oni su nefleksibilni i u slučaju promena nekih funkcija ili dodavanja novih morali bi se razvijati novi čipovi koji bi potom zamenili stare, što je nepraktično i skupo za mrežne operatore sa stanovišta održavanja i unapređenja mreže. Druga mogućnost je upotreba FPGA čipova koji su rekonfigurabilni i mogu se lako reprogramirati kada je potrebno unaprediti pojedine protokole koji su implementirani u hardveru.

Prilikom dizajniranja funkcija paketskog procesiranja za rutere velikih kapaciteta postoje još uvek mnogi izazovi koji su naročito izraženi kod pojedinih funkcija paketskog procesiranja. Jedna od kritičnih funkcija je svakako lukap funkcija koja na osnovu određene IP adrese paketa treba da odredi izlazni port rutera ka kojem paket treba da se usmeri. Što je brzina linka veća, manje vremena je na raspolaganju da se ona izvrši. Dodatni problem predstavlja što lukap tabela u kojoj se nalaze informacije o usmeravanju mogu da sadrže i preko 300000 zapisa, pri čemu jednoj IP adresi može da odgovara više zapisa usled čega se primenjuje pravilo biranja zapisa koji je najduži prefiks IP adrese za koju se vrši pretraga. Pošto su IPv4 adrese potrošene i neminovan je prelaz na IPv6 adrese koje su 4 puta duže, lukap tabele će biti još i veće i komplikovanije za pretragu. Drugi izazov je efikasno prosleđivanje ćelija ka izlaznim portovima. U tu svrhu razvijene su mnoge arhitekture rutera (ruteri sa baferima na izlazu, ruteri sa ulaznim baferima, Birkhoff-von-Neumann arhitektura i dr.), a kao najskalabilnije jednostepene arhitekture su se pokazale one koje implementiraju bafer na ulazima. Najpoznatiji algoritmi raspoređivanja koji se koriste u ovakvim arhitekturama su iSLIP i SGS. Treći izazov koji se takode javlja u ruterima velikih kapaciteta je i rad sa baferima u koje se smeštaju ćelije koje čekaju na prosleđivanje ka izlaznom portu. Zbog kapaciteta ti baferi se moraju implementirati u SDRAM memorijama, međutim, te memorije nisu dovoljno brze pa se razvijaju razne tehnike koje pokušavaju da postignu maksimalnu brzinu rada sa njima.

U ovom radu, biće analizirane i dizajnirane funkcije paketskog procesiranja za Internet ruter velikog kapaciteta koje će se koristiti u Internet ruteru razvijanom u okviru projekata tehnološkog razvoja Ministarstva nauke. U okviru rada prvo će biti analizirane pojedinačne funkcije paketskog procesiranja. Analiza će se baviti postojećim algoritmima i rešenjima i biće izvršeno njihovo međusobno poređenje. Takode, za najkritičnije funkcije će biti predložena naprednija rešenja koja će biti poređena sa već postojećim rešenjima. Pre svega to se odnosi na lukap funkciju koja je ponovo u fokusu zbog neminovnosti prelaza na IPv6 adrese jer postojeća rešenja nisu adekvatna za rad sa dužim IPv6 adresama. Biće dat predlog naprednog IP lukap algoritma koji treba da podržava rad sa IPv4 i IPv6 adresama i to za slučaj velikih lukap tabela. Takode će biti analiziran rad sa baferima u koje se smeštaju ćelije i njihova korelacija sa ostalim funkcijama rutera u cilju razvijanja tehnike koja treba da ostvari maksimalnu brzinu rada sa baferima. Sami algoritmi za raspoređivanje će biti analizirani u različitim uslovima rada (bez rezervacije resursa, sa rezervacijom resursa, fer servis, multikast saobraćaj i sl.). Pored analize biće izvršena hardverska implementacija na FPGA čipove funkcija paketskog procesiranja i njihovo međusobno povezivanje i integracija u ravan podataka. FPGA čipovi će se koristiti zbog fleksibilnosti i mogućnosti rekonfiguracije što će omogućiti brži i efikasniji razvoj funkcija paketskog procesiranja. Za razvoj će biti korišćen VHDL jezik, a verifikacija će biti izvršavana i softverski i hardverski. Takode će biti data diskusija za slučaj više opcija hardverske implementacije pojedinih funkcija paketskog procesiranja. Sama ravan podataka koja je cilj ove teze i koja predstavlja integraciju funkcija paketskog procesiranja će biti testirana u ruteru razvijanom u okviru projekata tehnološkog razvoja koje finansira Ministarstvo nauke.

Relevantne reference:

- [1] V. Srinivasan and G. Varghese, "Fast Address Lookups using Controlled Prefix Expansion," *Proc. ACM Sigmetrics 98*, June 1998.
- [2] M. A. Ruiz-Sanchez, E. W. Biersack, and W. Dabbous, "Survey and taxonomy of IP address lookup algorithms," *IEEE Network*, vol. 15, no. 2, 2001, pp. 823
- [3] D. Taylor, J. Lockwood, T. Sproull, J. Turner, D. Parlour, "Scalable IP Lookup for Programmable Routers," *Proc. IEEE INFOCOM 2002*, vol.21, no.1, pp.562-571, June 2002..
- [4] D. Pao, C. Liu, A. Wu, L. Yeung, K.S. Chan, "Efficient Hardware Architecture for Fast IP Address Lookup," *IEEE Proceedings on Computers and Digital Techniques*, vol.50, no.1, pp.43-52, January 2003.
- [5] R. Rojas-Cessa, L. Ramesh, Z. Dong, L.Cai, N. Ansari, "Parallel-Search Trie-based Scheme for Fast IP Lookup," *GLOBECOM 2007*, pp. 26-30, November 2007.
- [6] W. Jiang, Q. Wang, and V. K. Prasanna, "Beyond TCAMs: An SRAM-based parallel multi-pipeline architecture for terabit IP lookup," *Proc. of IEEE INFOCOM 2008*, April, 2008.
- [7] M. Bando, N.S. Artan, J. Chao, "FlashLook: 100-Gbps Hash-Tuned Route Lookup Architecture," *15th International Workshop on High Performance Switching and Routing 2009*, Paris, France, June 2009.
- [8] M. Wang, S. Deering, T. Hain, L. Dunn, "Non-random Generator for IPv6 Tables," *Proc. of IEEE Symposium on High-Performance Interconnects*, pp. 35-40, August 2004.
- [9] R. Bhagwan and B. Lin, "Fast and scalable priority queue architecture for high-speed network switches," *In Proc. of IEEE INFOCOM 2000*, 2000
- [10] S. Iyer, R. R. Kompella, and N. McKeown, "Analysis of a memory architecture for fast packet buffers," *In Proc. IEEE HPSR 2001*, Dallas, Texas, 2001.

- [11] J. García-Vidal, M. March, L. Cerdà, J. Corbal, M. Valero, "A DRAM/SRAM Memory Scheme for Fast Packet Buffers," *IEEE Transactions on Computers*, vol. 55, no. 5, pp. 588-602, May 2006.
- [12] S. Iyer, R. Kompella, N. McKeown, "Designing packet buffers for router linecards", *IEEE Transactions on Networking*, Volume 16, Issue 3, June 2008.
- [13] M. Shreedhar, G. Varghese, "Efficient Fair Queueing Using Deficit Round Robin," *IEEE/ACM Transactions on Networking*, vol.4, no.3, pp.375-385, June 1996.
- [14] N. McKeown, "The iSLIP Scheduling Algorithm for Input-Queued Switches," *IEEE/ACM Transactions on Networking*, vol.7, no.2, pp.188-201, April 1999.
- [15] A. Smiljanić, "Flexible bandwidth allocation in terabit packet switches", in *Proceedings of the IEEE Conference on High Performance Switching and Routing 2000*, pp. 233-239, June 2000
- [16] A. Smiljanić, "Flexible bandwidth allocation in high-capacity packet switches", *IEEE/ACM Transactions on Networking*, Vol. 10, pp. 287-293, April 2002
- [17] M. Petrović, A. Smiljanić, "Design of the Scheduler for the High-Capacity Non-Blocking Packet Switch," *IEEE Workshop on High Performance Switching and Routing 2006*, Poznan, Poland, June 2006.
- [18] M. Petrovic, A. Smiljanic, "Optimization of the Scheduler for the Non-Blocking High-Capacity Router," *IEEE Communication Letters*, vol. 11, pp. 534-536, June 2007.
- [19] M. Blagojevic, A. Smiljanic, "Design of the Multicast Controller for the High-Capacity Internet Router," *IET Electronic Letters*, vol. 44, pp. 255-256, January 2008.
- [20] M.Petrović, A.Smiljanić, M.Blagojević, "Design of the Switching Controller for the High-Capacity Non-Blocking Internet Router," *IEEE Transactions on VLSI*, vol.17, no.8, pp.1157-1161, August 2009.

3. Polazne hipoteze

Funkcije paketskog procesiranja zajedno sa paketskim komutatorom predstavljaju osnovu ravni podataka, Internet rutera kojom prolaze korisnički IP datagrami. Ovaj deo rutera mora da se realizuje hardverski da bi bili podržani veliki protoci tj. da Internet ruter ima veliku propusnu moć. Otuda je važno efikasno implementirati funkcije paketskog procesiranja da one ne bi postale usko grlo u daljem razvoju i povećanju kapaciteta Internet rutera.

Postoji više funkcija paketskog procesiranja koje mogu da se pokažu kao usko grlo ukoliko se ne realizuju efikasno. Jedna od njih je lukap funkcija koja vrši određivanje izlaznog porta rutera na bazi određene IP adrese. Postoji više rešenja koja su prilagođena IPv4 adresama, međutim, s obzirom da su podeljene i poslednje IPv4 adrese, neminovan je prelaz na duže IPv6 adrese. Dodatno, lukap tabele postaju sve veće, kao i brzine linkova. Trenutna rešenja nisu prilagođena efikasnoj podršci IPv6 adresama, tako da je neophodan razvoj novog rešenja koje će biti brzo i skalabilno i koje će podržavati kako IPv4 tako IPv6 adrese. Druga funkcija koja predstavlja potencijalno usko grlo su paketski baferi u kojima se čuvaju paketi dok ne dođe red na njih da se šalju ka izlaznom portu kroz paketski komutator. Pošto za veće kapacitete je neophodno koristiti sporije i nedeterminističke DRAM memorije, trenutna rešenja se zasnivaju na kombinaciji SRAM i DRAM memorija u cilju postizanja brzog rada i većih kapaciteta i time prevazilaženju mana DRAM memorije. Neophodna su dalja istraživanja u ovoj oblasti radi podrške što većim brzinama linkova, kao i što većem broju tokova koji koriste paketski bafer, čime bi se omogućili veći kapaciteti Internet rutera. Bitan je takode i efikasan algoritam za raspoređivanje paketa za slanje kroz paketski komutator jer on direktno utiče na performanse rutera i njegov kapacitet. U disertaciji će biti implementiran SGS raspoređivač jer je za njega dokazano da je neblokirajući ako se koristi dvostruko ubrzanje.

4. Naučne metode istraživanja

Prilikom izrade doktorske disertacije korišće se teorijske i praktične metode. Za svaku od razvijenih unapređenih funkcija paketskog procesiranja će biti prvo data teorijska analiza i poređenje sa postojećim rešenjima, a potom će biti izvršena implementacija na FPGA čipu i data analiza performansi praktične implementacije. Jedna od unapređenih funkcija će biti lukap funkcija koja vrši pretragu lukap tabele za zadatu određenu IP adresu u cilju određivanja izlaznog porta na koji treba usmeriti IP datagram. Ova funkcija je izrazito kompleksna jer predstavlja dvodimenzionalni problem (vrednost i dužina mrežne adrese), pri čemu su lukap tabele izrazito velike (oko 300 hiljada zapisa imaju najveće tabele), a pretraga se mora veoma brzo izvršiti za linkove velikih kapaciteta (za 10Gb/s ethernet linkove pretraga mora da se izvrši u okviru 32ns). S obzirom na prelaz na IPv6 adrese, neophodno je da lukap algoritmi podržavaju i te adrese, što za većinu postojećih rešenja predstavlja velik problem. Unapređeno rešenje će da bude prilagođeno i IPv4 i IPv6 adresama i podržavaće velike tabele i brze linkove, što će biti prikazano kroz uporednu analizu sa postojećim algoritmima. Biće analiziran i rad paketskih bafera jer oni trenutno predstavljaju ozbiljnu prepreku za povećanje kapaciteta rutera. DRAM memorije moraju da se koriste za podršku većim baferima, ali njihov problem je mala brzina i nedeterminističko vreme rada. U disertaciji će biti analizirana trenutna rešenja koja implementiraju napredne paketske bafere koji kombinuju DRAM i SRAM memorije i biće predloženo napredno rešenje, koje će biti prvo teorijski analizirano i zatim praktično implementirano.

5. Očekivani naučni doprinos

Razvoj unapređenih funkcija paketskog procesiranja na FPGA čipovima će omogućiti formiranje skalabilnijih i ekonomičnijih linijskih modula Internet rutera, čime će predstavljati osnovu ravni podataka prototipa rutera velikog kapaciteta razvijanog u okviru projekata finansiranih od strane Ministarstva za nauku i tehnološki razvoj. Rezultati rada na doktorskoj disertaciji će biti objavljeni na međunarodnim konferencijama, kao i u relevantnim međunarodnim časopisima. Takođe, rezultate će predstavljati i tehnička rešenja, s obzirom da će u okviru disertacije biti praktično implementirane i testirane funkcije paketskog procesiranja.

6. Plan istraživanja i struktura rada

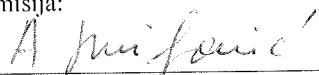
U uvodnim poglavljima disertacije biće dat kratak prikaz teorijskih osnova vezanih za funkcije Internet rutera, sa posebnim osvrtom na funkcije paketskog procesiranja. Takođe, biće opisano razvojno okruženje korišćeno za razvoj funkcija paketskog procesiranja na FPGA čipovima, kao i opis arhitekture korišćenog FPGA čipa. Zatim će biti opisani algoritmi unapređenih funkcija paketskog procesiranja, kao i njihova implementacija. Performanse unapređenih funkcija paketskog procesiranja će biti poredene sa već postojećim rešenjima.

7. Zaključak i predlog

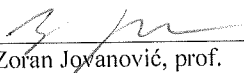
Na osnovu izloženog, Komisija konstatuje da mr Zoran Čiča ispunjava sve formalne i suštinske uslove za pristupanje izradi doktorske disertacije kao i da je predložena tema "Implementacija funkcija paketskog procesiranja u Internet ruterima velikog kapaciteta" naučno aktuelna u domenu Internet mreža i rutera. Zato Komisija predlaže Naučno-nastavnom veću Elektrotehničkog fakulteta u Beogradu da odobri mr Zoranu Čiči izradu doktorske disertacije pod gore navedenim naslovom.

U Beogradu, 5. 5. 2011. god.

Komisija:



dr Aleksandra Smiljanić, vanr. prof.



dr Zoran Jovanović, prof.



dr Žarko Markov, nauč. savetnik



dr Milan Bjelica, doc.