

Наставно-научно веће Електротехничког факултета Универзитета у Београду именовало нас је 727. седници одржаној 25.01.2011. за чланове Комисије по расписаном конкурс од 9. 2. 2011. за избор једног ванредног професора са пуним радним временом за ужу научну област Рачунарска техника и информатика. Након разматрања конкурсног материјала подносимо следећи

## ИЗВЕШТАЈ

На расписани конкурс објављен у листу ПОСЛОВИ од 9. 02. 2011. пријавио се један кандидат - др Мило Томашевић, ванредни професор на Електротехничком факултету у Београду. Основни подаци о кандидату приложени су у даљем тексту извештаја.

### **I. Биографски подаци**

Мило Томашевић је рођен 18. маја 1957. године у Никшићу. Основну школу и гимназију завршио је у Никшићу као носилац дипломе “Луча”, која представља еквивалент Вукове дипломе. Током школовања освајао је прва места на градским, републичким и савезним такмичењима из математике, историје и географије. На Електротехнички факултет у Београду, Одсек за електронику, уписао се 1975. године. Дипломирао је 1980 године. Исте године се уписао на постдипломске студије на овом факултету, на Смеру за електронику. Све испите на постдипломским студијама положио је са оценом 10. Магистарски рад под насловом “*Софтверски систем за развој микропрограма процесора мултипроцесне обраде*” одбранио је 1984. године. Докторску дисертацију под насловом “*Нови хардверски протокол за кохеренцију кеш меморија у мултипроцесорским системима са заједничком меморијом*” одбранио је 1992. године, такође на Електротехничком факултету у Београду. У оквиру научне специјализације борао је као гостујући истраживач 1990-91. године на универзитету Purdue, West Lafayette, SAD.

Одмах по дипломирању, 1980. године, кандидат се запослио у Институту “Михајло Пупин” у Београду, где је у Лабораторији за рачунарске системе радио до 1995. године на пословима од развојног сарадника – приправника до саветника, са прекидом од годину дана због одслужења војног рока 1984-85. године. У звање доцента са трећином радног времена изабран је 1993. године на Катедри за рачунарску технику и информатику Електротехничког факултета у Београду. На истој Катедри је, затим, 1995. године изабран за доцента са пуним радним временом. За ванредног професора са пуним радним временом изабран је 2000. године и реизабран 2006. године. Тренутно је заменик шефа Катедре за Рачунарску технику и информатику Електротехничког факултета у Београду.

### **II. Научно-стручни радови**

#### **II.1. Радови у иностраним научним часописима**

- 1.1. **Tomašević M.**, Milutinović V., "Hardware Approaches to Cache Coherence in Shared-Memory Multiprocessors, Part 1," *IEEE Micro*, Vol.14., No.5, October 1994., pp. 52-59.

ISSN 0272-1732 - Časopis sa SCI Impact Factor: 0.342 (1992)

M23

- 1.2. **Tomašević M.**, Milutinović V., "Hardware Approaches to Cache Coherence in Shared-Memory Multiprocessors, Part 2," *IEEE Micro*, Vol.14., No.6, December 1994., pp. 61-66.  
ISSN 0272-1732 - Časopis sa SCI liste Impact Factor: 0.342 (1992) M23
- 1.3 Savić, S., **Tomašević M.**, Milutinović V. "Improved RMS for the PC Environment," *Microprocessors and Microsystems*, Vol. 19, No. 10, December 1995, pp. 609-619.  
ISSN: 0141-9331 - Časopis sa SCI liste Impact Factor: 0.197 (1992) M23
- 1.4 **Tomašević M.**, Milutinović V. "The Word-invalidate Cache Coherence Protocol," *Microprocessors and Microsystems*, Vol. 20, No. 1, March 1996, pp. 3-16.  
ISSN: 0141-9331 Časopis sa SCI liste Impact Factor: 0.080 (1998) M23
- 1.5. Grujić A., **Tomašević M.**, Milutinović V., "A Simulation Study of Hardware-Oriented DSM Approaches", *IEEE Parallel & Distributed Technology*, Vol. 4, No. 1, Spring 1996, pp. 74-83. Napomena: Današnji naziv - *IEEE Concurrency*  
ISSN: 1063-6552 - Časopis sa SCI liste Impact Factor: 1.727 (1998) M21
- 1.6. Protić J., **Tomašević M.**, Milutinović V., "Distributed Shared Memory: Concepts and Systems," *IEEE Parallel & Distributed Technology*, Vol. 4, No. 2, Summer 1996, pp. 63-79.  
ISSN: 1063-6552 - Časopis sa SCI liste Impact Factor: 1.727 (1998) M21
- 1.7. Đorđević J., **Tomašević M.**, Bojović M., Potić V., Randić S., "An Operating System Accelerator," *Journal of Systems Architecture*, Vol. 44, No. 9-10, June 1998, pp. 737-754.  
ISSN: 1383-7621 - Časopis sa SCI liste Impact Factor: 0.029 (1998) M23
- 1.8. Bojović M., **Tomašević M.**, Đorđević J., "The Interactive Development and Testing System for a RISC-Style Processor," *The Computer Journal*, Vol. 42, No. 5, 1999.  
ISSN: 0010-4620 - Časopis sa SCI liste Impact Factor: 0.349 (1999) M23
- 1.9. Đorđević J., Bojović M., **Tomašević M.**, Lazić B., Velašević D., "A RISC-Style Hardware Accelerator for Operating Systems," *International Journal of Computers and Applications*, Vol. 21, No. 2, 1999, pp. 50-55.  
ISSN: 1206-212X Časopis bez impact factora
- 1.10. **Tomašević M.**, Bojović M., Đorđević J., "A Hardware Implementation of the Mechanism of Multiprocessing", *Microprocessors and Microsystems*, Vol. 23, December 1999, pp. 471-479.  
ISSN: 0141-9331 - Časopis sa SCI liste Impact Factor: 0.151 (1999) M23

После реизбора у звање ванредног професора:

- 1.11. **Tomašević M.**, Protić J., Savić S., Jovanović M., Grujić A., Milutinović V. "A Reflective Memory System for Personal Computers", *The IPSI Bgd Transactions on Internet Research*, Vol. 2, No. 2, July 2006, pp. 7-12.  
ISSN: 1820-4503 Časopis bez impact factora

- 1.12. Radulović M., **Tomašević M.** "On Reducing Overheads in CMP TLS Integrated Protocols", *The IPSI Bgd Transactions on Internet Research*, Vol. 3, No. 1, January 2007, pp. 11-17.

ISSN: 1820-4503 Časopis bez impact factora

## II.2. Радови у домаћим научним часописима

- 2.1. Radulović M., Tomašević M., "A Proposal for Register-level Communication in a Speculative Chip Multiprocessor", *ETF Journal of Electrical Engineering, University of Montenegro*, Vol. 15, No. 1, May 2006, pp. 91-98. (štampan nagrađeni rad 4.28 sa konferencije)

ISSN 0352 - 5207

После реизбора у звање ванредног професора:

- 2.2. Tomašević V., **Tomašević M.**, "Pregled i analiza kriptanalitičkih TMTO metoda", *Singidunum revija*, Beograd, oktobar 2010., pp. 141-152.

ISSN: 1820-8819

## II.3. Радови у зборницима радова међународних конференција

- 3.1. **Tomašević M.**, Milutinović V., "A Simulation Study of Snoopy Cache Coherence Protocols", *25th Hawaii International Conference on System Sciences*, Kauai, USA, January 1992., pp. 427-436.
- 3.2. **Tomašević M.**, Milutinović V., "A Survey of Hardware Solutions for Maintenance of Cache Coherence in Shared-Memory Multiprocessors", *26th Hawaii International Conference on System Sciences*, Maui, USA, January 1992., pp. 863-872.
- 3.3. Graovac S., **Tomašević M.**, Benčik R., Radosavljević A., "Train Driving Simulator," *5th International Training Equipment Conference*, Hague, April 1994.
- 3.4. Grujić A., **Tomašević M.**, Milutinović V., "A Simulation Study of Hardware-Oriented DSM Approaches", *IEEE Region 10's 9th Annual International Conference*, Singapore, August 1994, pp. 386-390.
- 3.5. Jovanović M., **Tomašević M.**, Milutinović V., "Design Issues in Block-Oriented Reflective Memory System," *Proceedings of XVI Int. Symposium on Nuclear Electronics and Computing*, Varna, September 1994,
- 3.6. Protić J., **Tomašević M.**, Milutinović V., "A Survey of Distributed Shared Memory Approaches," *Proceedings of XVI Int. Symposium on Nuclear Electronics and Computing*, Varna, September 1994.
- 3.7. Jovanović M., **Tomašević M.**, Milutinović V., "A Simulation Analysis of Two Reflective Memory Approaches," *28th Hawaii International Conference on System Sciences*, Maui, USA, January 1995.
- 3.8. Protić J., **Tomašević M.**, Milutinović V., "A Survey of Distributed Shared Memory Systems," *28th Hawaii International Conference on System Sciences*, Maui, USA, January 1995.

- 3.9. Milutinović V., **Tomašević M.**, Marković B., Tremblay M. "A New Cache Architecture Concept: The Split Temporal/Spatial Cache," *Proceedings of the MELECON96*, Bari, Italy, May 1996., pp. 1108-1111.
- 3.10. Protić J., Tartalja I., **Tomašević M.**, "Memory Consistency Models for Shared Memory Multiprocessors and DSM Systems," *Proceedings of the MELECON96*, Bari, Italy, May 1996., pp. 1112-1115.
- 3.11. Milutinović V., Marković B., **Tomašević M.**, Tremblay M. "The Split Temporal/Spatial Cache: A Performance Analysis," *Proceedings of 5th SCIzzL*, Santa Clara, USA, March 1996., pp. 63-69.
- 3.12. Milutinović V., Marković B., **Tomašević M.**, Tremblay M. "The Split Temporal/Spatial Cache: A Complexity Analysis," *Proceedings of 6th SCIzzL*, Santa Clara, USA, September 1996., pp. 87-96.
- 3.13. Tončev M., **Tomašević M.**, Aleksić M., "The Impact of Out-of-Order Message Delivery on Cache Coherence Protocols", *Proceedings of the IEEE Canadian Conference on Electrical and Computer Engineering*, Toronto, 2001.
- 3.14. Tončev M., Djordjević J., **Tomašević M.**, Aleksić M., "Multithreaded Communication Controller For Efficient DSM Multiprocessors", *Proceedings of the IEEE Canadian Conference on Electrical and Computer Engineering*, Toronto, 2001.
- 3.15. Tončev M., **Tomašević M.**, Djordjević J., Aleksić M., "Improving Performance of a DSM System by the Communication Controller Organization", *Proceedings of the IEEE Canadian Conference on Electrical and Computer Engineering*, Toronto, 2004.
- 3.16. Elahresh M., Djordjević J., **Tomašević M.**, Aleksić M., "An Improved On-Line Monitoring Technique for a Fault-Tolerant Computing Node", *Proceedings of the IEEE Canadian Conference on Electrical and Computer Engineering*, Toronto, 2004.
- 3.17. **Tomašević M.**, Puzović N., Leković S., "Analysis and Improvement of Replacement Algorithms in SMP cache memory systems", *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, L'Aquila, July 2005.
- 3.18. Radulović M., **Tomašević M.**, "An Aggressive Register-level Communication in a Speculative Chip Multiprocessor", *IEEE EUROCON2005*, Belgrade, November 2005.

После реизбора у звање ванредног професора:

- 3.19. Radulović M., **Tomašević M.**, "Support for Thread-Level Speculation in Chip Multiprocessors", *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, L'Aquila, July 2007.
- 3.20. Radulović M., **Tomašević M.**, "Towards an Improved Integrated Coherence and Speculation Protocol", *IEEE EUROCON2007*, Warsaw, September 2005.
- 3.21. Radulović M., Girbal S., **Tomašević M.**, "Simulation Support for Speculative Multithreading Processors", *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, L'Aquila, July 2008.

- 3.22. Stojanović S., Furlan B., **Tomašević M.**, Milutinović V., "An Overview of Concurrency Support in Accessing Shared Data in SMPs," *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, L'Aquila, July 2008.
- 3.23. Radulović M., Girbal S., **Tomašević M.**, "Evaluating the SISC TLS protocol through Structural Simulation", *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, Terrasa, Barcelona, July 2009.
- 3.24. Punt M., Djordjević J., **Tomašević M.**, "A Simulation Environment for the On-Line Monitoring of a Fault Tolerant Flight Control Computer", *IEEE Eastern European Regional Conference on the Engineering of Computer Based Systems*, Novi Sad, September 2009.

#### II.4. Радови у зборницима радова домаћих конференција

- 4.1. Potić V., Đorđević J., Lazić B., Velašević D., Randić S., **Tomašević M.**, "Arhitektura i organizacija procesora multiprocesne obrade", *XXVII Konferencija ETAN-a*, Subotica, 1982.
- 4.1. Potić V., Đorđević J., Lazić B., Velašević D., Randić S., **Tomašević M.**, "Arhitektura i organizacija procesora multiprocesne obrade", *XXVII Konferencija ETAN-a*, Subotica, 1982.
- 4.2. Đorđević J., Randić S., **Tomašević M.**, "Mikroasembler procesora multiprocesne obrade", *XXVII Konferencija ETAN-a*, Subotica, 1982.
- 4.3. Đorđević J., **Tomašević M.**, "Simulator procesora multiprocesne obrade", *XXVIII Konferencija ETAN-a*, Struga, 1983.
- 4.4. Bojović M., Đorđević J., **Tomašević M.**, Potić V., Randić S., "Komandni jezik za upravljanje procesorom multiprocesne obrade", *XXVIII Konferencija ETAN-a*, Split, 1984.
- 4.5. Đorđević J., Potić V., Randić S., **Tomašević M.**, Bojović M., "Analiza preklapanja mikroinstrukcija procesora multiprocesne obrade", *XXVIII Konferencija ETAN-a*, Split, 1984.
- 4.6. **Tomašević M.**, Đorđević J., Potić V., "Razmatranje arhitekture procesora multiprocesne obrade", *XXX Konferencija ETAN-a*, Herceg Novi, 1986.
- 4.7. **Tomašević M.**, Džigurski O., Vojvodić I., Petronijević D., "Distribuirani računarski sistem za simulaciju dinamičkih sistema u realnom vremenu", *XXXIII Konferencija ETAN-a*, Novi Sad, 1989.
- 4.8. **Tomašević M.**, Džigurski O., Petronijević D., "Simulacija grafičkog prikazivanja podataka u avionskim računarskim sistemima", *XXXIV Konferencija ETAN-a*, Zagreb, 1990.
- 4.9. **Tomašević M.**, Milutinović V., "Dvonivoska hijerarhija keš—memorija u multiprocesorskim sistemima sa zajedničkom memorijom i zajedničkom magistralom", *XXXV Konferencija ETAN-a*, Ohrid, 1991.
- 4.10. **Tomašević M.**, Gobović A., Milutinović V., "Simulator multiprocesorskog sistema sa zajedničkom memorijom i zajedničkom magistralom", *XXXVI Konferencija ETAN-a*, Kopaonik, 1992.

- 4.11. **Tomašević M.**, Milutinović V., "Analitička evaluacija decentralizovanih protokola za koherenciju keš memorija", *XXXVII Konferencija ETAN-a*, Beograd, 1993.
- 4.12. Grujić A., **Tomašević M.**, Milutinović V., "Simulaciona analiza tri DSM pristupa", *XXXVIII Konferencija ETAN-a*, Niš, 1994.
- 4.13. Savić S., **Tomašević M.**, Milutinović V., "Simulacija i implementacija jednog koncepta distribuirane deljene memorije", *XXXVIII Konferencija ETAN-a*, Niš, 1994.
- 4.14. **Tomašević M.**, Benčik R., Graovac S., "Računarska podrška trenažera za obuku mašinovođa", *JUŽEL94*, Vrnjačka Banja, 1994.
- 4.15. Protić J., **Tomašević M.**, Milutinović V., "Pregled DSM procesiranja: koncepti", *YU INFO*, Brezovica, 1995
- 4.16. Jovanović M., **Tomašević M.**, "Simulaciono poređenje dva pristupa sistema sa reflektivnom memorijom", *YU INFO*, Brezovica, 1995.
- 4.17. **Jovanović M.**, **Tomašević M.**, "Analitičko modeliranje performansi RM/MC sistema", *XXXIX Konferencija ETAN-a*, Zlatibor, 1995.
- 4.18. Protić J., **Tomašević M.**, Milutinović V., "Pregled DSM procesiranja: sistemi", *XXXIX Konferencija ETAN-a*, Zlatibor, 1995.
- 4.19. Tončev M., **Tomašević M.**, Đorđević J. Milutinović V., "Statistička analiza korišćenja primitivnih protokola za održavanje keš koherencije kod DSM multiprocesora", *YU INFO96*, Brezovica, April 1996.
- 4.20. Protić J., Tartalja I., **Tomašević M.**, "Prilog razumevanju memorijskih modela konzistencije", *YU INFO96*, Brezovica, April 1996.
- 4.21. Jovanović M., **Tomašević M.**, "Analiza složenosti osnovnog i poboljšanog sistema sa reflektivnom memorijom", *XL konferencija ETRAN-a*, Budva, Jun 1996.
- 4.22. Tončev M., **Tomašević M.**, Đorđević J., "Dinamička simulacija multiprocesora sa distribuiranom zajedničkom memorijom", *XLI Konferencija za ETRAN*, jun 1997. p. 103-106.
- 4.23. Tončev M., **Tomašević M.**, Đorđević J., "Višekontekstni komunikacioni kontroler za efikasni DSM multiprocesor", *XLII Konferencija za ETRAN*, jun 1998.
- 4.24. Elahresh M., **Tomašević M.**, Đorđević J., "The On-line Error Detection Using the Monitoring Technique", *Informacione tehnologije*, mart 1998.
- 4.25. Elahresh M., Đorđević J., **Tomašević M.**, "DASS – An Improved Monitoring Technique", *XLIII Konferencija za ETRAN*, septembar 1999.
- 4.26. Elahresh M., **Tomašević M.**, Đorđević J., "A Simulator for a Fault-Tolerant Computing Node", *XLIV Konferencija za ETRAN*, jun 2000.
- 4.27. Elahresh M., Đorđević J., **Tomašević M.**, "Evaluation of a Fault-Tolerant Computing Node", *XLIV Konferencija za ETRAN*, jun 2000.
- 4.28. Radulović M., **Tomašević M.**, "A Proposal for Register-level Communication in a Speculative Chip Multiprocessor", *XLIX Konferencija za ETRAN*, jun 2005.

После избора у звање ванредног професора:

- 4.29. Milivojević M., Đorđević Đ., **Tomašević M.**, "Sistem za interaktivnu obuku i testiranje znanja iz algoritama i struktura podataka", *TELFOR 2010.*, Beograd.

## II.5. Радови у публикацијама страних и домаћих научних института

- 5.1. **Tomašević M.**, Radulović M., “Speculative Chip Multiprocessors”, *Proceedings of International Workshop devoted to the 25<sup>th</sup> Anniversary of Faculty of Sciences*, Podgorica, September 2005, pp. 168-186.

## II.6. Књиге

- 6.1. **Tomašević M.**, Milutinović V. (editori), *Cache Coherence Problem in Shared Memory Multiprocessors: Hardware Solutions*, IEEE Computer Society Press, Los Alamitos, CA, USA, July 1993.
- 6.2. Protić, J., **Tomašević M.**, Milutinović V. (editori), *Distributed Shared Memory: Concepts and Systems*, IEEE Computer Society Press, Los Alamitos, CA, USA, July 1997.
- 6.3. **Томашевић М.**, *Структуре података*, (406 страна), Електротехнички факултет, Београд, 2000., II издање 2003., III издање 2005., IV издање 2008. (под насловом *Алгоритми и структуре података*).

## II.7. Пројекти и студије

- 7.1. Развој и реализација процесора мултипроцесне обраде. Пројекат је рађен у Институту “Михајло Пупин”, Београд, у сарадњи са Институтом проблема управљања, Москва, за наручиоце из СССР.
- 7.2. Студија Дистрибуирани рачунарски системи. Студија је рађена у Институту “Михајло Пупин”, Београд, за специјалног наручиоца из Југославије.
- 7.3. Студија Мултипроцесни рачунарски системи. Студија је рађена у Институту “Михајло Пупин”, Београд, за специјалног наручиоца из Југославије.
- 7.4. Идејни пројект домаћег покретног рачунара посебне намене. Пројект је рађен у Институту “Михајло Пупин”, Београд, за специјалног наручиоца из Југославије.
- 7.5. Пројект пословног рачунара IMP86, Институт “Михајло Пупин”, Београд, за Информатику.
- 7.6. Рачунарски систем за вођење беспилотне летелице. Пројект је рађен у Институту “Михајло Пупин”, Београд, за специјалног наручиоца из Југославије.
- 7.7. Развој и симулација дистрибуираног авионског рачунарског система. Пројект је рађен у Институту “Михајло Пупин”, Београд, за специјалног наручиоца из Југославије.
- 7.8. Истраживање и развој хардверских и софтверских структура као подршка мултипроцесном мултимикропроцесорском систему за рад у реалном времену, Институт “Михајло Пупин”, Београд, за Основну заједницу науке, Београд
- 7.9. Развој хардверског протокола за одржавање кохеренције кеш меморија у мултипроцесорском систему са заједничком меморијом и заједничком магистралом. Пројект је рађен на Електротехничком факултету, Београд, за компанију NCR, Augsburg, Nemačka.

- 7.10. Коришћење пакета N.2 за симулациону студију протокола за одржавање кохеренције кеш меморија. Студија је рађена на Електротехничком факултету, Београд за фирму TDT, Cleveland, SAD.
- 7.11. Развој тренажера за обуку машиновођа. Пројект је рађен у Институту “Михајло Пупин”, Београд, за Југословенске железнице.
- 7.12. Унапређење мултипроцесорских система са заједничком меморијом, за фирму Encore, SAD.
- 7.13. Евалуација мултипроцесорских система са хардверски имплементираним механизмом дистрибуиране заједничке меморије, за компанију Encore, SAD.
- 7.14. Развој и реализација мултипроцесорског система са рефлективном меморијом заснованог на РС рачунарима, за фирму Encore, SAD.
- 7.15. Истраживање у области паралелних рачунарских система. Истраживање је рађено на Електротехничком факултету, Београд и више других институција у оквиру петогодишњег пројекта Фонда за науку Србије.
- 7.16. Истраживање у области мултипроцесорских система са заједничком меморијом, за Министарство просвете Црне Горе.
- 7.17. Инфраструктура и апликације за електронско пословање и образовање преко Интернета. Пројекат је рађен на Електротехничком факултету, Београд, као један од трогодишњих стратешких пројеката Министарства за науку и технологију Србије.
- 7.18. Експертиза у области мултипроцесорских система за компанију Hewlett Packard, SAD,.
- 7.19. Пројект Content Delivery and Cache Management, за Dow Jones, SAD.
- 7.20. Истраживање у области архитектура високе перформансе за HIPEAC2.
- 7.21. Истраживање из области интерконекционих мрежа за паралелне рачунаре високих перформанси са Институтом Јожеф Штефан, Љубљана, Словенија.
- 7.22. Master Study Development Program, за World University Service (WUS), Austrija.

## II.8. Одзив на радове

По подацима из 2005.g. На адреси <http://citeseer.nj.nec.com/cs> користећи пре traživač citata у области рачунарских наука који искључује самцитирање и даје списак по ауторима, 2005. године за аутора Мила Томашевића су нађена 69 citata и то: 1.1 – 2 citata, 1.3 – 1 citat, 1.5 – 1 citat, 1.6 – 30 citata, 3.1 – 4 citata, 3.8 – 8 citata, 3.9 – 3 citata, 3.10 – 1 citat, 3.11 – 10 citata, 3.12 – 2 citata, 6.1 – 6 citata, 6.2 – 1 citat.

## II.9. Реализације

Засноване на примени научних резултата кандидата

1. Процесор мултипроцесне обраде. Реализована су два процесора за Институт проблема управљања, Москва. Ово је примена резултата 1.7, 1.9, 1.10, 4.1, 4.5, 4.6, 4.7, 4.8 и 7.1.

2. PC-RMS плоча за повезивање PC рачунара у систем са рефлективном меморијом. Овај производ је ушао у серијску производњу фирме Encore, SAD. Ово је примена резултата 1.3, 4.13 и 7.13.

#### Остале реализације

1. DRS-NA дистрибуирани рачунарски систем за симулацију динамичких система у реалном времену за специјалног наручиоца. Ово је примена резултата 4.7, 4.8 и 7.7.
2. Систем за управљање беспилотном летелицом за специјалног наручиоца. Ово је примена резултата 7.6.
3. Развојно окружење за процесор мултипроцесне обраде (асемблер, линкер, пуњач, симулатор, услужни микропрограми). Ово је примена резултата 1.8, 4.2 и 4.3.
4. Софтверски пакет за симулацију мултипроцесорских система са заједничком меморијом и заједничком магистралом. Ово је примена резултата 3.1, 4.10 и 7.8.
5. Софтверски пакет за симулацију система са хардверски реализованим механизмом дистрибуиране заједничке меморије. Ово је примена резултата 3.4, 4.12 и 7.12.
6. Софтверски пакет за симулацију система са рефлективном меморијом. Ово је примена резултата 3.5, 3.7, 4.16 и 7.11.

### **III. Подаци о наставној активности**

#### III.1. Учешће у настави

Као хонорарни доцент Електротехничког факултета са трећином радног времена почео је да држи наставу на Војно-техничкој академији 1993. године и на редовним студијама 1994. године, а од 1995. године као доцент са пуним радним временом.

На редовним студијама на Електротехничком факултету у Београду држао је предавања из *Програмских језика* (друга година), *Структура података* (трећа година), а сада држи наставу из *Програмирања 1 и 2* (одсеци ОО и СИ), *Алгоритама и структура података* (одсек ИР), *Алгоритама и структура података 1 и 2* (одсек СИ) и *Мултипроцесорских система* (одсеци ИР и СИ). На постдипломским студијама на Катедри за Рачунарску технику и информатику држи: *Мултипроцесорске системе* и *Принципе програмских језика*. На Војно-техничкој академији КОВ-а, као и на Ваздухопловној војно-техничкој академији у Жаркову, држао је предмете *Рачунари у телекомуникацијама*, *Архитектура рачунара II*, *Програмски језици и методе програмирања* и *Структуре података*.

Држао је предавања и на постдипломској настави која се за стране студенте изводила на енглеском језику на Електротехничком факултету и то на магистарским студијама из предмета *Computer programming* и на докторским студијама из предмета *Multiprocessor systems*.

Држао је наставу и на другим сродним факултетима. На Електротехничком факултету у Подгорици предавао је курс *Дигитални рачунари*, а на Природно-математичком факултету у Подгорици предавао је предмете *Организација рачунарских система*, *Програмски језици* и *Објектно-оријентисано програмирање*, као и на

постдипломским студијама. Држао је наставу из *Програмских језика* и на Одсеку за рачунарску технику и информатику Универзитета "Никола Тесла" у Книну. На Техничком факултету у Чачку предавао је предмет *Програмски језици*. На Електротехничком факултету у Бањалуци предавао је предмет *Архитектура рачунара и Структуре података и алгоритми*. На Електротехничком факултету у Источном Сарајеву предавао је предмет *Алгоритми и структуре података*.

На студентским анкетама на Електротехничком факултету у Београду је добијао оцене између 4.5 и 5.

### III.2. Учешће у формирању лабораторије

У оквиру предмета *Алгоритми и структуре података 1 и 2* и *Мултипроцесорски системи* учествовао је у формирању лабораторијских вежби и организацији израде обавезних домаћих задатака које студенти самостално раде на рачунару и затим усмено бране. На сличан начин је учествовао у формирању курсева *Практикум из Програмирања 1* и *Практикум из Програмирања 2* који су потпуно оријентисани ка практичној настави програмирања.

### III.3. Покривеност предмета уџбеничком литературом

Књига 6.3 се користи као уџбеник за комплетно градиво из предмета *Алгоритми и структуре података*, као и *Алгоритми и структуре података 1 и 2*. Она се састоји из 4 добро дефинисана дела. У првом делу се разматрају линеарне структуре зависно од начина репрезентације: секвенцијална (низови) и уланчана (листе), као и у односу на начин приступа (стекови и редови) у обе репрезентације. У другом делу се описују нелинеарне структуре: стабла и графови, заједно са бројним алгоритмима за рад са њима и карактеристичним применама. Код стабала посебна пажња је посвећена бинарним стаблима, а код графова су обрађени и усмерени и неусмерени графови. Трећи и четврти део књиге је посвећен двома алгоритамским активностима од посебне важности: претраживању и сортирању, како у оперативној меморији, тако и на екстерним меморијама. Детаљно су елаборирани методи претраживања и посебно погодне структуре као што су: стабла бинарног и *m*-арног претраживања, *B*-стабла и њихове варијанте, хеш табеле, итд. На крају, у последњем делу разматрају се операција сортирања у нивовима и датотекама, потребне помоћне структуре и даје велики број алгоритама, уз дискусију о њиховим перформансама и могућим побољшањима. Књига има добру организацију, излаже концепте и алгоритме на јасан и методичан начин уз велики број примера, што додатно повећава разумљивост. Модел презентације у главама о појединим структурама је конзистентан и почиње дефиницијама коришћених термина па наставља са начинима представљања и имплементације структуре, описом операције и реализације алгоритама, да би се на крају завршило са неким карактеристичним применама структуре. Посебна пажња је посвећена питањима ефикасности реализације структура и операција са њима у погледу временске и просторне сложености доследно следећи принципе инжењерске логике.

Књиге 6.1 и 6.2 су коришћене као литература за предмет *Мултипроцесорски системи*, као и на постдипломској настави из области мултипроцесорских система. Ове књиге су коришћене у постдипломској настави и на више универзитета у иностранству.

### III.4. Руковођење дипломским, магистарским и докторским радовима

Био је коментор једног докторског рада, ментор 9 магистарских радова, 5 мастер радова и већег броја дипломских радова. Учествовао је у више комисија за магистарске и докторске радове на електротехничким факултетима у Београду, Нишу, Подгорици, Новом Саду и Чачку.

#### **IV. Подаци о професионалној делатности, признањима и наградама**

Током школовања освајао је прве награде на градским, републичким и савезним такмичењима. Носилац је дипломе “Луча”. Током студија је више пута добијао награде Универзитета за постигнут успех у претходној години студија. Додељена му је 1989. године и стипендија Републичке заједнице науке Србије за стручно усавршавање у иностранству.

На XXVII конференцији ЕТАН-а 1982. године, рад 4.1. је добио награду Економског факултета из Суботице, а на XXXV конференцији ЕТАН-а 1991. године рад 4.9. награђен је као најбољи рад у секцији за рачунарску технику. На IEEE/ACM конференцији HICSS-92 рад 3.1. је добио другу награду у секцији за архитектуру рачунара. На XLIX конференцији ЕТРАН-а 2005. године, рад 4.28. је добио награду за најбољи рад у секцији за рачунарску технику и информатику.

Био је рецензент за више међународних IEEE часописа (IEEE Transactions on Computers, IEEE Proceedings, IEEE Micro, IEEE Concurrency) и конференција (ICPP, HICSS), као и домаћих конференција (ЕТРАН, ТЕЛФОР, итд.). Био је и члан програмских одбора домаћих конференција.

Одржао је, са коауторима, више предавања по позиву код нас и у иностранству (САД, Немачка, Италија, Сингапур, Јужна Кореја, Пољска, Бугарска) у разним компанијама (Encore, NCR, TDT), на универзитетима и конференцијама (ISCA, NPCA, NPC).

#### **V. Подаци о друштвеној активности**

Био је члан Научног већа Института “Михајло Пупин” и члан Савета РЈ за Рачунарске системе Института “Михајло Пупин”, Београд.

Био је члан је Наставне комисије и заменик шефа Одсека за Рачунарску технику и информатику Електротехничког факултета у Београду. Тренутно је заменик шефа Катедре за Рачунарску технику и информатику Електротехничког факултета у Београду

#### **VI. Приказ научне и стручне делатности**

Из претходног материјала се види да се кандидат бавио већим бројем научних и стручних проблема који се, ради прегледнијег приказивања остварених резултата, могу разврстати на следеће области: мултипроцесорски системи, рачунарски системи посебне намене, развојна софтверска средства, структуре података и системи са смањеном осетљивошћу на отказе. Из ових области кандидат је објавио више радова у престижним међународним часописима и две едитоване књиге код реномираног иностраног издавача.

##### **VI.1. Мултипроцесорски системи**

Облашћу мултипроцесорских система кандидат се интензивно бави током израде докторске дисертације и после тога. Он се претежно бави проблемима у системима са заједничком меморијом, и то: протоколима за одржавање кохеренције приватних кеш меморија, механизмом дистрибуиране заједничке меморије, системима са рефлективном меморијом, моделима меморијске конзистенције, организацијом меморијске хијерархије, организацијом комуникационих контролера, спекулативним извршавањем на нивоу нити у *multicore* процесорима као и алгоритмима замене у кеш меморијама. У овој области кандидат је са коауторима објавио више радова, као и две едитоване књиге у издању *IEEE Computer Society Press*.

Један од основних проблема у мултипроцесорским системима је смањење латенције меморијског приступа, а најчешће се ово постиже применом приватних кеш

меморија. Тако се јавља веома важан проблем кохеренције приватних кеш меморија, који се обично решава хардверским протоколима. У радовима 1.1, 1.2 и 3.2 је дат детаљан преглед стања у овој области кроз класификацију и елаборацију постојећих решења, као и дискусија свих елемената од значаја. Искрпно и компетентно познавање ове области је омогућило да се објави књига 6.1 која садржи свеобухватан преглед најзначајнијих решења у тој области. Ова књига садржи и значајан део оригинално развијеног материјала од стране самих аутора (два рада, уводно поглавље, прегледна поглавља за сваку од покривених области). Она се користи као уџбеник на редовним и постдипломским студијама на више иностраних универзитета.

У оквиру рада на докторској дисертацији кандидат је предложио и развио нови хардверски протокол за кохеренцију намењен системима са заједничком меморијом и заједничком магистралом – WIP (Word Invalidate Protocol), који је описан у раду 1.4. Овај протокол поред потпуне инвалидације блока уводи и парцијалну инвалидацију на нивоу речи, чиме се повећава искоришћење података прихваћених у кеш меморију и смањује саобраћај на магистрали, што све води ка већој процесној снази система. WIP протокол је намењен и ублажавању појаве “лажног” дељења података. За прелиминарну евалуацију перформанси развијен је аналитички поступак заснован на MVA моделу, који се може применити на све протоколе исте класе. Овај поступак је елабориран у раду 4.11. Прецизна евалуација је спроведена поступком симулационе анализе у широком опсегу вредности релевантних параметара, што је описано у раду 3.1. Такође, урађена је и имплементациона анализа у циљу процене додатне сложености. Целокупна анализа је показала да предложени протокол даје добре побољшане перформансе у условима од интереса уз минималну додатну сложеност.

Активност кандидата у овој области се природно проширила и на системе са дистрибуираном заједничком меморијом (DSM). Рад 1.6 представља исцрпан преглед ове области који покрива основне појмове, алгоритме, параметре од значаја, као и оригиналну класификацију која се заснива на начину имплементације DSM система. Дати су детаљни табеларни прикази карактеристика великог броја постојећих система, као и осврт на могуће правце развоја ове области. Остали радови који исцрпније покривају поједине аспекте DSM система и алгоритама су: 3.6, 3.8, 4.15 и 4.18. Заједно са коауторима је, такође, објавио књигу 6.2 која потпуно покрива ову област истраживања. Слично претходној књизи и она приказује најзначајније доприносе према класификацији коју су развили аутори, садржи велики део оригиналног материјала и користи се у настави у иностранству. У радовима 3.4 и 4.12 посебна пажња је посвећена системима са хардверски имплементираним DSM механизмом због њихове ефикасности. У том смислу извршена је детаљна компаративна евалуација система DASH, SCI, KSR1 и DDM као репрезентативних представника и изведени релевантни закључци.

На основу материјала из књига 6.1 и 6.2 кандидат је са коауторима одржао двадесетак предавања по позиву на познатим међународним конференцијама, универзитетима и компанијама. На пример, предавање о системима са дистрибуираном заједничком меморијом је два пута држано на најугледнијој конференцији из области архитектуре рачунара – ISCA (1995. у Санта Маргерита Лигуре, Италија и 1996. у Филаделфији, САД), а предавање о хардверским протоколима за кохеренцију на такође изузетно цењеној конференцији HPCA 1996 у Сан Хозеу, САД.

Предмет интересовања кандидата била је и комплексна подобласт модела меморијске конзистенције који представљају једну од техника за сакривање и смањење латенције приступа меморији. У радовима 3.10 и 4.20 детаљано су представљени ови модели уз низ посебно развијених примера који доприносе разумевању формалних

категорија у овој области. Обухваћени су модели од најрестриктивније секвенцијалне до најрелаксиранијих улазне и лење излазне конзистенције.

У области система са рефлективном меморијом кандидат је заједно са сарадницима у оквиру рада на пројекту 7.14 предложио побољшана решења ових система од којих су нека реализована. У раду 3.5 су разрађени мултипроцесорски системи са рефлективном меморијом који балансирају потребу за великом пропусном моћи са захтевом за малим временом одзива (RM/MC) и у том смислу дат предлог који побољшава перформансе таквих система (радови 3.7 и 4.16). Предложено решење подразумева акције и у време превођења и у време извршавања програма. Поред тога, дат је и побољшани алгоритам арбитрације на магистрали. У наведеним радовима приказани су и резултати евалуације добијени применом симулационе анализе. У раду 4.17 развијен је и ефикасан аналитички поступак моделирања и евалуације система са заједничком меморијом. Комплетност евалуације заокружена је поступком имплементационе анализе описане у раду 4.21.

Као резултат рада на пројекту 7.14 омогућено је повезивање РС рачунара у систем заснован на рефлективној меморији. У том циљу предложено је неколико побољшања концепта (филтрација уписа, ургентни захтеви за магистралом, кеширање, итд.) ради постизања бољих перформанси, а затим је реализован прототип кључног елемента система - плоче са рефлективном меморијом. Овај производ је касније ушао серијску производњу компаније *Encore*. Сажет опис овог пројекта дат је у радовима 1.3, 1.11 и 4.13.

У 4.17 је приказан развијени аналитички поступак на основу којег је извршена статичка анализа коришћења примитива протокола за одржавање кохеренције кеш меморија мултипроцесора са дистрибуираном заједничком меморијом. У 4.22 је приказан развијени динамички метод за прецизну симулацију разноврсних мултипроцесорских архитектура и његова примена илустрована на примеру евалуације неколико предлога решења за смањење кашњења меморијског система типичног мултипроцесорског система. У 4.23 је указано на могућност коришћење вишеконтекстног протокол процесора ради повећања пропусне моћи комуникационог контролера, предложена и описана оригинална техника преласка са контекста на контекст, приказане њене предности у односу на постојеће технике и процењен утицај предложеног решења на перформансе. Даљи резултати овог истраживања приказани су у 3.13, 3.14 и 3.15.

У раду 4.9 је предложена ефикасна двонивоска хијерахија у мултипроцесорским системима за заједничком меморијом и заједничком магистралом. Једна од главних карактеристике хијерархије на другом нивоу су приватне кеш меморије за податке и дељене кеш меморије за инструкције. Овај рад је проглашен за најбољи у Секцији за рачунарску технику на конференцији ЕТАН-а 1991. године.

Једна специфична архитектура кеш меморије (STS) заснована на бољем коришћењу локалности је предложена у раду 3.9. Кеш меморија за податке је подељена на два дела: део за податке са временском локалношћу (класична хијерархија) и део за податке који показују просторну локалност (мала кеш меморија са механизмом за прихватање унапред). Поред тога, предложен је и механизам за динамичко одређивање типа локалности. Анализа перформанси је описана у раду 3.11, а анализа хардверске сложености у раду 3.12.

Кандидат се бавио побољшањем алгоритама замене у кеш меморијама мултипроцесорских система (рад 3.17). У том циљу предложио је квалитативно нов алгоритам замене који се, уместо само на критеријуму временске локалности, првенствено заснива на стању блока у оквиру протокола за кохеренцију. Симулациони резултати показују боље перформансе овог алгорита у односу на класичне (FIFO, LRU).

Поред тога кандидат се бавио и истраживањима у областима дистрибуираних система и мултипроцесних система. У 7.2 је дат преглед, извршена класификација и дате основне карактеристике хардвера и софтвера постојећих дистрибуираних рачунарских система. У 7.3 је показано како се у системима са неефикасним преласком са контекста на контекст могу уградити механизми неопходни за ефикасан мултипроцесни рад, док су у 7.8 предложене и развијене хардверске и софтверске структуре које омогућавају мултипроцесни рад у мултимикропроцесорском систему за рад у реалном времену.

У последњих неколико година кандидат се интензивно бави истраживањима у области спекулативних мултипроцесорских система на чипу, као једне од најатрактивнијих модерних рачунарских архитектура. Из овога је произашло прегледно предавање по позиву на међународном симпозијуму објављено у 5.1. У раду 1.12 је извршена анализа недостатака постојећих решења за подршку спекулације на нивоу нити (TLS). Један резултат овог истраживања је и SIC (Snoopy Inter-register Communication) протокол који се користи за комуникацију на регистарском нивоу приликом спекулативног извршавања програмских нити у мултипроцесору на чипу. Овај протокол је приказан у раду 3.12. Његова унапређена верзија, ESIC протокол, је заснована на агресивном прослеђивању вредности од произвођача пре захтева у тежњи да се повећа искоришћење процесора. Овај протокол је приказан у раду 4.28. Развијени су и протоколи који омогућавају спекулацију на меморијском нивоу, који су изложени у радовима 3.19 и 3.20. Врло акутни проблеми оспособљавања симулационог окружења за евалуацију спекулације на нивоу нити описани су у 3.21 и 3.23.

## VI.2. Рачунарски системи посебне намене

У оквиру пројекта 7.1 кандидат је учествовао у свим фазама развоја, пројектовања и реализације оригиналног процесора ПМО. Процесор ПМО је специјализовани процесор који ради у комбинацији са рачунарима ЕС и реализује неке функције оперативног система везане за рад са процесима, ресурсима, догађајима и улазно/излазним баферима (радови 1.7, 1.9, 4.1). Процесор има RISC архитектуру и реализован је применом технике преклапања фаза извршавања већег броја инструкција (1.10, 4.5, 4.6) у дискретној технологији по захтеву наручиоца. Развијен је и микрорачунарски управљан систем за тестирање процесора (4.4).

Кандидат је у току рада у Институту “Михајло Пупин” радио на више пројеката за специјалног наручиоца из наше земље, од којих су најважнија три пројекта. У оквиру пројекта 7.4 кандидат је учествовао у конципирању домаћег покретног рачунара који је предвиђен да функционише у посебним радним условима са повишеним степеном поузданости. Због тога је требало предвидети одговарајућа решења и у хардверу и у софтверу овог система. Направљени су пројекти три верзије рачунара различитог обима за различите нивое намене. Кандидат је учествовао и на пројекту 7.6 у конципирању и развоју система за управљање беспилотном летелицом за истог корисника и то претежно на хардверском делу система који је био заснован на рачунарским плочама фирме Intel. Систем је омогућавао погодну припрему мисије, праћење и вођење до три летелице истовремено, као и чување података који омогућавају каснију анализу мисије.

На пројекту 7.7 је учествовао у конципирању и развоју дистрибуираног рачунарског система за симулацију динамичких система који раде у реалном времену. Овај систем, заснован на рачунарима и радним станицама фирме DEC, начелно је описан у раду 4.7. Систем је затим реализован са магистралом посебне намене 1553В и искоришћен за симулацију авионског рачунарског система за управљање летом и графичко приказивање на HUD и HDD показивачима (рад 4.8).

За потребе Југословенских железница у Институту “Михајло Пупин” је урађен пројект симулатора/тренажера за обуку машиновођа (7.11). Кандидат је посебно радио на рачунарском делу система који је заснован на РС рачунарима (рад 4.14), а реална опрема (одсечак стварне локомотиве) омогућава веома квалитетну обуку у уобичајеним и акцидентним ситуацијама. Концепт читавог система, његово функционисање и могућности су описани у раду 3.3.

#### VI.3. Развојна софтверска средства

У оквиру рада на разним пројектима кандидат је посебно био ангажован на развоју и реализацији софтверских алата који су служили или за развој рачунарских система или за потребе евалуације разних решења пре њихове реализације. Тако је у склопу пројекта 7.1 кандидат развио софтверски систем за развој микропрограма процесора мултипроцесне обраде који се састоји од микроасемблера (4.2), симулатора и пуњача (4.3), а затим помоћу њих реализовао и истестирао комплетан скуп микропрограма. За потребе евалуације хардверских протокола за кохеренцију кеш меморија направљен је симулатор мултипроцесорског система са заједничком меморијом и заједничком магистралом са синтетичким генератором адресних трагова при чему је побољшан Archibald-Baer-ov модел тако да може да се форсира и процесорска локалност (рад 4.10). Са сличним моделом радног оптерећења направљени су симулатори DSM система са хардверски имплементираним DSM механизмом за потребе њихове компаративне евалуације на пројекту 7.12. У складу са захтевима пројекта 7.13 направљен је и је симулатор мултипроцесорског система са рефлективном меморијом који је послужио за евалуацију оригинално предложених унапређења RM концепта која је претходила имплементацији.

Развијен је и софтверски пакет који омогућава динамичку симулацију мултипроцесора са дистрибуираном заједничком меморијом који као радно оптерећење користи реалне паралелне апликације из стандардног скупа SPLASH-2, па омогућава симулацију највишег нивоа репрезентативности и веродостојности. Овај метод и реализовани симулатор описани су у раду 4.22.

#### VI.4. Алгоритми и структуре података

Следећи потребе предмета из којег држи наставу кандидат се интензивно бавио облашћу алгоритама као и проблемима логичке организације и физичке имплементације структура података. Као последица тога произашла је књига 6.3 која је приказана у III.3.

У последње време за потребе извођења наставе из области алгоритама и структура података у току су активности на израду софтверског окружења за визуелизацију алгоритама, као и за интеркативно испитивање и оцењивање знања. Први резултати су изложени у раду 4.29.

#### VI.5 Системи са смањеном осетљивошћу на отказе

У области система са смањеном осетљивошћу на отказе кандидат се првенствено бавио проблемима везаним за примене у авионским рачунарским управљачким системима током руковођења докторском дисертацијом из ове области. У том смислу су разматране и поређене погодне хардверске технике за детекцију грешака, што је предмет рада 4.24. По критеријуму односа перформансе и цене посебна пажња је посвећена техници надгледања процесора коришћењем специјализованог хардверског уређаја - монитора. У радовима 4.25 и 3.16 је описана унапређена техника надгледања са ширим опсегом примене. У овом раду је описан и препроцесор који је реализован ради потребе инструментализовања надгледаних програма и генерисања контролног програма који се извршава на монитору. Ради провере предложене технике и њене квантитативне евалуације реализован је симулатор система који користи ову технику што је предмет рада 4.26, а затим и поступак

симулационе анализе за репрезентативне програме што је описано у раду 4.27. Комплетан поступак евалуације у оквиру симулационог окружења који омогућава убацивање грешака описан је у раду 3.24.

У последње време кандидат се интензивно бави неким проблемима у области криптоанализе из чега је произашао рад 2.2 који се бави прегледом и анализом криптоаналитичких метода заснованих на балансу између захтева за потрошњу времена и простора (ТМТО).

## **VII. Приказ наставне делатности**

Кандидат је држао или држи предавања из више предмета из области за које је расписан конкурс. Наставу је држао на Електротехничком факултету у Београду и то на редовним и постдипломским студијама за наше студенте и на магистарским и докторским студијама за стране студенте, на Ваздухопловној Војно-техничкој академији и Војно-техничкој академији КОВ-а непрекидно од 1994. године до данас, као и на неколико других сродних факултета. Комплетно је реорганизовао предмет *Алгоритми и структуре података* за који је написао уџбеник који покрива целокупан предмет и формирао нове предмете *Алгоритми и структуре података 1* и *2*, као и предмет *Мултипроцесорски системи*. Самостално је формирао два предмета на постдипломским студијама за стране студенте. Две едитоване књиге, које је са коауторима издао у издању *IEEE Computer Society Press-a*, представљају помоћне уџбенике за предмете из области мултипроцесорских система. У студентским анкетама је увек оцењиван оценама око 4.5 и више. Самостално или заједнички руководио је изработом једним докторским, више магистарских и дипломских радова. Био је члан у комисијама за преглед и оцену и одбрану више докторских и магистарских радова.

## **VIII. Закључак и предлог**

На основу приложених биографских података, списка научно-стручних радова и података о наставној, професионалној и стручној делатности и извршене анализе научне, стручне и наставне делатности Мила Томашевића, Комисија закључује да кандидат испуњава све законске, формалне и суштинске услове за реизбор у наставничко звање ванредног професора.

Комисија има задовољство да предложи Наставно-научном већу Електротехничког факултета да кандидата Мила Томашевића поново изабере у наставничко звање ванредног професора за ужу научну област Рачунарска техника и информатика.

28. фебруар 2011. Београд

Чланови комисије:

Др Јован Ђорђевић, ред. проф.

Др Вељко Милутиновић, ред. проф.

Др Боривој Лазић, ред. проф.