

НАСТАВНО-НАУЧНОМ ВЕЋУ ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА УНИВЕРЗИТЕТА У БЕОГРАДУ

На 729. седници Наставно-научног већа Електротехничког факултета у Београду, одржаној 8.3.2011. г., именовани смо за чланове Комисије за оцену услова и прихватање теме докторске дисертације мр Милана Б. Радуловића, дипл. инж. електротехнике, под насловом „**Протоколи за спекулацију на нивоу нити у СМР процесорима**“. Након увида у достављени материјал подносимо Наставно-научном већу Електротехничког факултета следећи

ИЗВЕШТАЈ

1. Подаци о кандидату

Милан Бранков Радуловић је рођен 24.02.1968. г. у Никшићу где је завршио основну, нижу музичку и средњу школу. Дипломирао је 1992. г. на Електротехничком факултету Универзитета Црне Горе у Подгорици на смеру Електроника, са просечном оценом током студија 9,50 и оценом 10 на дипломском раду. На Електротехничком факултету Универзитета Црне Горе у Подгорици је 1996. г. завршио постдипломске студије на смеру Роботика и вјештачка интелигенција са просечном оценом 10 и одбранио магистарску тезу под називом „РС говорни аутомат“.

Од 1993. до 1996. г. био је запослен као стручни сарадник на Електротехничком факултету Универзитета Црне Горе у Подгорици и асистирао на рачунским и лабораторијским вежбама. Током 1996. године је био и стипендиста Министарства просвете и науке Републике Црне Горе, Сектор за науку.

У периоду од јануара до јула 1997 г. по основу стипендије фондације British Foundation for the Citizens of former Yugoslavia је боравио у звању Visiting Research Fellow-a у Microcontroller expert group на Engineering Department, Универзитета у Warwick-у, UK, где је под менторством Dr Sherzad Al-Khalifa радио на пројектовању дигиталних система управљања у реалном времену са PLD уз коришћење VHDL-a.

У периоду од 1998. до 2005 г. био је запослен у Центру информационог система Универзитета Црне Горе у Подгорици у звању Главног систем инжењера за комуникације. Учествовао је у изради великог броја домаћих и иностраних пројеката из области рачунарских мрежа за потребе Универзитета Црне Горе и радио на текућим пословима софтверског и хардверског одржавања и развоја Академске мреже Црне Горе.

Током академске 1998/99, 1999/2000, 2000/01, 2001/02 г. је радио у звању хонорарног асистента на Вишој рачунарској школи Електротехничког факултета Универзитета Црне Горе у Подгорици.

У периоду од септембра до децембра 2001 г., по основу стипендије фондације најстаријих Универзитета Европе Coimbra Group је боравио у звању Visiting Research Fellow-a на Signal Theory, Telematics and Communications Department, Faculty of Science, Универзитета у Гранади, Шпанија, где је радио на пројектовању система и апликационог софтвера за обраду, препознавање и визуелно представљање параметара говорног сигнала, под менторством Prof. Antonio Rubio.

У периоду од септембра до децембра 2002 г., по основу стипендије Владе Републике Италије, је боравио у звању Visiting Research Fellow-a на The Information Engineering Department-у, Универзитета у Сијени, Италија, где је под менторством Dr Roberto Giorgi, asst. prof. и др Мила Томашевића, ванр. проф., радио на модификацији и пројектовању симулатора за СМР системе на бази RSIM симулатора.

У периоду од октобра 2003 г. до маја 2004 г., по основу стипендије IMG, TEMPUS фондације из Брисела, је боравио у звању Visiting Research Fellow-a на The Information Engineering Department, Универзитета у Сијени, Италија, где је под менторством Dr Roberto Giorgi, asst. prof. и др Мила Томашевића, ванр. проф., радио на пројектовању СМР система који имају хардверску и софтверску подршку за спекулативно извршавање секвенцијалних програма.

Током академске 2006/07, 2007/08, 2008/09 г. је радио у звању хонорарног асистента на Факултету за информационе технологије и Факултету за пословне студије Универзитета Медитеран у Подгорици.

У периоду од марта 2006. г. до данас ради у звању RAN систем инжењера односно CORE систем инжењера у Црногорском Телекому А.Д., у Подгорици, на текућим пословима одржавања и развоја комутационих система (мобилна, фиксна и IP телефонија).

Милан Б. Радуловић је члан HiPEAC групе (European Network of Excellence on High Performance and Embedded Architecture and Compilation) и био је полазник три летње школе у организацији HiPEAC групе, које су одржане 2007 и 2008 г. у L'Aquila, Италија, као и 2009 г. у Terrassa, La Mola, Barcelona, Шпанија, где је излагао резултате истраживања у области пројектовања CMP система који имају хардверску и софтверску подршку за спекулативно извршавање секвенцијалних програма.

Добитник је награде за најбољи научно-истраживачки рад младог истраживача у области Рачунарска техника и информатика на XLIX ETRAN конференцији одржаној у Будви јуна 2005 г.

Током свог досадашњег научно-истраживачког рада Милан Б. Радуловић је поједине резултате публиковао у више радова на домаћим и страним конференцијама, као и у домаћим и страним часописима. Списак публикованих научних и стручних радова је следећи:

- [1] Милан Б. Радуловић, "UUCP: Unix to Unix комуникација", Дипломски рад, Електротехнички факултет Универзитета Црне Горе, Подгорица, јул 1992.г., СФР Југославија.
- [2] Милан Б. Радуловић, "PC говорни аутомат", Магистарска теза, Електротехнички факултет Универзитета Црне Горе, Подгорица, децембар 1998.г., СР Југославија.
- [3] Зоран Мијановић, Младен Радовић, Драган Радуловић, Милан Радуловић, "Предлог реализације ширинско импулсног модулятора у систему за позиционирање осовине мотора за једносмјерну струју", Техника, свеска 1 и 2, Електротехника 45, стране 12-16, јануар 1996.г., Београд, СР Југославија.
- [4] Милан Радуловић, Зоран Мијановић, "PC говорни аутомат", Техника, свеска 2, Електротехника 47, стране 1-5, март 1998.г., Београд, СР Југославија.
- [5] Милан Радуловић, Зоран Мијановић, "Интерактивни вишеканални дигитални говорно информациони систем на бази PC рачунара", XLII Конференција за ЕТРАН, Врњачка Бања, 2-5. јуна 1998.г., СР Југославија.
- [6] Младен Радовић, Драган Радуловић, Милан Радуловић, "Вишенамјенски видео интерфејс у функцији уређаја за издвајање слике", XLII Конференција за ЕТРАН, Врњачка Бања, 2-5. јуна 1998.г., СР Југославија.
- [7] Milan Radulović, Zoran Mijanović, Mladen Radović, "Софтверска подршка PC говорног аутомата", Зборник радова XIII научно-стручног скупа Info-Teh '98, Врњачка Бања, 15-19. јуна 1998, стране 214-218, СР Југославија.
- [8] Никша Тадић, Деса Гобовић, Милан Радуловић, "Аутоматско уравнотежавање линеарних DC мостова коришћењем отпорних огледала", XLIV Конференција за ЕТРАН, Соко Бања, 26-29. јуна 2000, СР Југославија.
- [9] Никша Тадић, Деса Гобовић, Милан Радуловић, "Електронски подешљиви склоп са негативном отпорношћу", XLIV конференција за ЕТРАН, Буковичка Бања, 4-7. јуна 2001.г., СР Југославија.
- [10] Милан Б. Радуловић, Мило В. Томашевић, "Предлог регистарске комуникације у спекулативном мултипроцесору на чипу", Зборник радова 49. Конференције за ЕТРАН, Будва, 5-10. јуна 2005.г., том III, Србија и Црна Гора, награда за најбољи рад у секцији РТ.
- [11] Milo V. Tomašević, Milan B. Radulović, "Speculative Chip Multiprocessors", Proceedings of the Workshop Contemporary Mathematics, Physics and Biology, 8-9 September 2005, University of Montenegro, Podgorica, pp. 168-186, Serbia and Montenegro.
- [12] Milan B. Radulović, Milo V. Tomašević, "An Aggressive Register-level Communication in a Speculative Chip Multiprocessor", IEEE EUROCON2005 Conference, November 21-24, Belgrade, Serbia and Montenegro, 2005.
- [13] Milan B. Radulović, Milo V. Tomašević, "A Proposal for Register-level Communication in a Speculative Chip Multiprocessor", ETF Journal of Electrical Engineering, Vol.15, No.1, pp. 91-98, Podgorica, Serbia and Montenegro, May 2006.
- [14] Милан Б. Радуловић, Мило В. Томашевић, "Анализа протокола за спекулацију и кохеренцију у чип мултипроцесорима", Зборник радова 50. Конференције за ЕТРАН, Београд, 6-8. јуна 2006.г., том III, Србија.
- [15] Milan B. Radulović, Milo V. Tomašević, "On Improving of CMP Integrated Coherence and Speculation Protocols", IPSI Transactions On Internet Research, Volume 3, Number 1, January 2007, pp. 11-17.
- [16] Milan B. Radulović, Milo V. Tomašević, "Support for Thread-level Speculation in Chip Multiprocessors", ACACES 2007, July 2007, L'Aquila, Italy, pp. 103-106.
- [17] Milan B. Radulović, Milo V. Tomašević, "Towards an Improved Integrated Coherence and Speculation Protocol", IEEE EUROCON 2007 Conference, September 2007, Warsaw, Poland.

- [18] Milan B. Radulović, Sylvain Girbal, Milo V. Tomašević, "Simulation Support for Speculative Multithreading Protocols", ACACES 2008, July 2008, Italy, pp. 283-286.
- [19] Milan B. Radulović, Sylvain Girbal, Milo V. Tomašević, "Evaluating the SISC TLS protocol through Structural Simulation", ACACES 2009, July 2009, Spain, pp. 319-322.

На основу досадашњег стручног рада и публикованих научних резултата може се закључити да је кандидат мр Милан Б. Радловић, дипл. ел. инж., квалификован за рад на пројектовању CMP система са TLS подршком и изради докторске дисертације на предложеном тему.

2. Предмет и циљ истраживања

Све до последње декаде архитектура са једним суперскаларним језгром је доминирала у технологији израде процесора. Међутим, ограничења у искоришћењу паралелизма на нивоу инструкције, огромна комплексност дизајна која процесе пројектовања и тестирања чини врло захтевним, као и проблеми са дисипацијом енергије, условили су у последњој декади потпуну промену развојне филозофије у пројектовању процесора. Нова парадигма у пројектовању процесора заснива се на процесорима са више језгара на чипу (CMP – Chip Multiprocessors). CMP процесор превазилази ове проблеме па може да ефикасно искористи и даље растући број транзистора на једном чипу тако што на чип смешта више релативно једноставних процесорских језгара уместо једног сложеног језгра и тако постиже већу процесну снагу. Поред тога, CMP се може користити и као градивни блок већих скалабилних мултипроцесорских система.

Док је раније преовладавао паралелизам на нивоу инструкције, CMP процесори ефикасно подржавају паралелизам на нивоу нити у оквиру апликације, као и истовремено извршавање више апликација. CMP процесори се данас широко користе као платформа за извршавање апликација као што су базе података, web сервери, мултимедијални кориснички интерфејси, захтевне научне и инжењерске апликације са доста инхерентног паралелизма крупније грануларности. Међутим, ресурсе CMP процесора треба искористити и приликом извршавања данас, ипак, преовлађујућих секвенцијалних апликација. С обзиром да су преводиоци за паралелизацију успешни само за ограничену класу апликација, јавила се идеја да се у циљу убрзавања секвенцијалних програма CMP процесорима дода подршка за спекулативно извршавање на нивоу нити - TLS (Thread-Level Speculation). TLS техника омогућава да се у време превођења или извршавања креирају нити из секвенцијалног кода које могу да се спекулативно извршавају паралелно, чак и ако између њих постоје потенцијалне зависности по подацима. Додатна хардверска и/или софтверска подршка надгледа исправност спекулативног извршавања и у случају нарушавања зависности поништава ефекте спекулације. У спекулативним CMP архитектурама коректно управљање спекулативним извршавањем се обично интегрише са протоколима за кохеренцију. Синхронизација и комуникација између спекулативних нити може бити остварена на регистарском или/и на меморијском нивоу.

CMP архитектуре са подршком за TLS могу се поделити у три групе. Прву групу чине CMP архитектуре које су у потпуности оријентисане на искоришћење спекулативног паралелизма, где спекулативне нити могу комуницирати и на регистарском и на меморијском нивоу. Неке од ових архитектура, као што су Multiscalar, Multiplex, Trace, MIT MAP и SM процесор, имају хардверску подршку која им омогућава да остварују високе перформансе тако што могу обрађивати секвенцијалне извршне програме без потребе за поновним превођењем изворног програмског кода. Међутим, када дате CMP архитектуре извршавају паралелне апликације или више апликација истовремено велики дио хардверске и софтверске подршке за TLS остаје неискоришћен. Другу групу представљају генеричке CMP архитектуре, као што су Hydra, STAMPede и SP, које имају минималну подршку за спекулативно извршавање, а комуникација између спекулативних нити се одвија искључиво на меморијском нивоу што упрошћава њихово пројектовање, али потреба за поновним превођењем изворног програмског кода представља њихов главни недостатак. IACOMA, Atlas и SpecCMP процесори су представници треће групе. Они комбинују најбоље карактеристике претходне две групе као што су: подршка за комуникацију између спекулативних нити и на регистарском и на меморијском нивоу и рад на секвенцијалним извршним програмима без потребе за поновним превођењем изворног програмског кода као код прве групе CMP архитектура, а притом су генеричке CMP архитектуре и имају једноставнију хардверску подршку за спекулативно извршавање као код друге групе.

Међутим, и ова решења захтевају коришћење знатних додатних хардверских и софтверских ресурса за обављање специфичних операција, па би од интереса било да се они смање. Поред тога, могу се уочити и неке неефикасности приликом завршавања нити када се генерише велики саобраћај при потврђивању ефеката спекулације. На крају, има места размишљати и о побољшању алгоритама замене у кеш меморијама оваквих процесора.

Значај овог истраживања се огледа у томе да се на основу уочених недостатака код претходно наведених група CMP архитектура предложи решење које ће по својој архитектури бити слично решењима из треће групе зато што она имају једноставнију хардверску и софтверску подршку за спекулативно

извршавање, а комуникација између спекулативних нити се обавља и на регистарском и на меморијском нивоу. Такав спекулативни CMP процесор, као једноставније и ефикасније решење са становишта односа цена/перформансе, треба да ублажи претходно уочене проблеме код CMP спекулативних архитектура и на тај начин постигне побољшање у односу на постојећа решења.

Основни циљ овог истраживања је дефинисање предлога новог, једноставнијег и ефикаснијег решења TLS подршке у CMP процесору са комуникацијом између спекулативних нити која се обавља и на регистарском и на меморијском нивоу, имајући у виду претходно уочене проблеме код спекулативних CMP архитектура са циљем да се оствари побољшање у односу на постојећа решења. У раду ће бити дат детаљан преглед досадашњих предложених академских и комерцијалних решења CMP процесора са подршком за TLS која су доступна у отвореној литератури, с обзиром да се током истраживања није наишло на сличну студију која разматра и квалитативно пореди спекулативне CMP процесоре. С обзиром да су симулационе платформе за овакве системе недоступне, неадекватно подржане или неодговарајуће, један од важних циљева је и генерисање нове симулационе платформе за спекулативне CMP процесоре заснована на UNISIM симулатору која има за циљ да омогући евалуацију ширег опсега CMP архитектура, са или без TLS подршке.

Релевантни библиографски извори и радови који су у вези са предметом истраживања су следећи:

[Toma93] M. Tomasevic, V. Milutinovic, "The Cache Coherence Problem in Shared-memory Multiprocessors: Hardware Solutions", IEEE Computer Society Press, 1993.

[Toma94] M. Tomašević and V. Milutinović, "Hardware Approaches to Cache Coherence in Shared Memory Multiprocessors, Part I", IEEE Micro, Vol. 14, No. 5, Oct. 1994, pp. 52-59.

[Sohi95] G. Sohi, S. Breach, and T. N. Vijaykumar, "Multiscalar Processors", In 22nd International Symposium on Computer Architecture, pages 414-425, June 1995.

[Fillo95] M. Fillo, S. Keckler, W. Dally, N. Carter, A. Chang, Y. Gurevich, and W. Lee, "The M-Machine Multicomputer", Proc. 28th Int'l Symp. Computer Microarchitecture (MICRO-28), pp. 146-156, Nov. 1995.

[Tsai96] J. Tsai and P. Yew, "The Superthreaded Architecture: Thread Pipelining with Run-Time Data Dependence Checking and Control Speculation", In PACT '96, pages 35-46, October 1996.

[Rote97] E. Rotenberg, Q. Jacobson, Y. Sazeides, J.E. Smith, et al, "Trace Processors", in Micro-30, pp. 68-74, December 1997.

[Gopa98] S. Gopal, T. N. Vijaykumar, J. E. Smith, G. S. Sohi, "Speculative Versioning Cache", Proceedings of the Fourth International Symposium on High-Performance Computer Architecture (HPCA-4), Las Vegas, NV, February 1998.

[Marc98] P. Marcuello, A. Gonzalez, J. Tubella, "Speculative Multithreaded Processors", Proc. 12th Int'l Conf. Supercomputing (ICS), July 1998.

[Kris99] V. Krishnan, J. Torrellas. "A Chip-Multiprocessor Architecture with Speculative Multithreading." IEEE Trans. on Computers, Special Issue on Multithreaded Architectures, pages 866-880, September 1999.

[Codr99] L. Codrescu, D. Scott Wills, "Architecture of the Atlas Chip-Multiprocessor: Dynamically Parallelizing Irregular Applications", 1999 IEEE International Conference on Computer Design October 10 - 13, 1999 Austin, Texas.

[Tsai99] J-Y.Tsai, J.Huangy, C.Amloz, D.J.Liljaz,P-C.Yew, "The Superthreaded Processor Architecture", IEEE Transactions on Computers, pp. 881-902, 1999.

[Cull99] D. E. Culler, J. Pal Singh, with A. Gupta, Parallel Computer Architecture: A Hardware/Software Approach, Morgan Kaufmann Publishers, Inc., 1999, San Francisco, USA.

[Mats2000] Matsushita, S., et al., "Merlot: A Single Chip Tightly Coupled Four-Way Multi-Thread Processor", Cool Chips III, 2000.

[Hamm2000] Hammond,L., Hubbert,B., Siu,M., Prabhu,M., Chen,M., Olukotun,K., "The Stanford Hydra CMP", IEEE MICRO, Vol.20, No.2, 2000, 71-84.

[Barr2000] L. A. Barroso, K. Gharachorloo, R. McNamara, A. Nowatzky, S. Qadeer, B. Sano, S. Smith, R. Stets, and B. Verghese, "Piranha: A scalable architecture based on single-chip multiprocessing", In Proceedings of the 27th Annual International Symposium on Computer Architecture, pages 282-293, June 2000.

[Stef2000] J. Steffan, et al., "A Scalable Approach to Thread-Level Speculation", In Proc. 27th Annual Intl. Symp. on Computer Architecture, pages 1-12, June 2000.

[Prvu2001] M.Prvulovic, M.J. Garzaran, L. Rauchwerger, J. Torrellas, "Removing Architectural Bottlenecks to the Scalability of Speculative Parallelization", Proceedings of the 28th Annual International Symposium on Computer Architecture (ISCA-28), June 2001.

- [Huh2001] J. Huh, D. Burger, S.W. Keckler, "Exploring the Design Space of Future CMPs", In Proceedings of the 10th International Conference on Parallel Architectures and Compilation Techniques, pages 199–210, September 2001.
- [Saka2002] Sakai, S., "CMP on SoC: architect's view", System Synthesis, 2002. 15th International Symposium on, 2-4 Oct. 2002 Page(s): 101–102.
- [Bake2002] J.M. Baker, Jr., S. Bennett, M. Bucciero, Brian Gold, R. Mahajan, "SCMP: A Single-Chip Message-Passing Parallel Computer", The 2002 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA'02).
- [Zahr2003] M.M. Zahran, "On Cache Memory Hierarchy for Chip Multiprocessor", ACM SIGARCH: Volume 31, Issue 1, pp. 39-48, March 2003.
- [Yana2003] Y. Yanagawa, et al., "Complexity Analysis of a Cache Controller for Speculative Multithreading Chip Multiprocessors", International Conference on High Performance Computing - HiPC, December 2003.
- [Liu2004] C.Liu, A.Sivasubramaniam, M.Kandemir, "Organizing the Last Line of Defense before Hitting the Memory Wall for CMPs", 10th International Symposium on HPCA, Feb. 14-18, Madrid, Spain, 2004.
- [Renau2005] Jose Renau, Karin Strauss, Luis Ceze, Wei Liu, Smruti Sarangi, James Tuck, Josep Torrellas, "Thread-Level Speculation on a CMP Can Be Energy Efficient", 2005 ACM International Conference on Supercomputing (ICS), June 2005.
- [Radu2005] M. B. Radulović, M. V. Tomašević, "A Proposal for Register-level Communication in a Speculative Chip Multiprocessor", XLIX ETRAN Conference, June 2005, Budva, Serbia and Montenegro, Best paper award.
- [Toma2005] Milo V. Tomašević, Milan B. Radulović, "Speculative Chip Multiprocessors", Proceedings of the Workshop Contemporary Mathematics, Physics and Biology, 8-9 September 2005, University of Montenegro, Podgorica, pp. 168-186.
- [Radu05a] M. B. Radulović, M. V. Tomašević, "An Aggressive Register-level Communication in a Speculative Chip Multiprocessor", accepted for IEEE EUROCON2005 Conference, Belgrade, Serbia and Montenegro, November 2005.
- [Liu2006] Wei Liu, James Tuck, Luis Ceze, Wonsun Ahn, Karin Strauss, Jose Renau, Josep Torrellas, "POSH: A TLS Compiler that Exploits Program Structure", ACM SIGPLAN Symposium on Principles and Practice of Parallel Programming (PPoPP), March 2006.
- [Radu2006] Milan B. Radulović, Milo V. Tomašević, "A Proposal for Register-level Communication in a Speculative Chip Multiprocessor", ETF Journal of Electrical Engineering, Vol.15, No.1, pp. 91-98, Podgorica, Serbia and Montenegro, May 2006.
- [Radu2006a] Milan B. Radulović, Milo V. Tomašević, "An Analysis of Speculation and Coherence Protocols in CMPs", Annual Conference ETRAN 2006, Belgrade, 6-9 June 2006, Serbia and Montenegro.
- [Radu2007] Milan B. Radulović, Milo V. Tomašević, "On Improving of CMP Integrated Coherence and Speculation Protocols", IPSI Transactions On Internet Research, Volume 3, Number 1, January 2007, pp. 11-17.
- [Radu2007a] Milan B. Radulović, Milo V. Tomašević, "Support for Thread-level Speculation in Chip Multiprocessors", ACACES 2007, July 2007, L'Aquila, Italy, pp. 103-106.
- [Radu2007b] M. B. Radulović, M. V. Tomašević, "Towards an Improved Integrated Coherence and Speculation Protocol", IEEE EUROCON2007 Conference, Warsaw, Poland, September 2007.
- [Tuck2007] James Tuck, Wei Liu, and Josep Torrellas, "CAP: Criticality Analysis for Power-Efficient Speculative Multithreading", International Conference on Computer Design (ICCD), October 2007.
- [Oluk2007] Kunle Olukotun, Lance Hammond, and James Laudon, Chip Multiprocessor Architecture: Techniques to Improve Throughput and Latency, Copyright © 2007 by Morgan & Claypool.
- [Radu2008] Milan B. Radulović, Sylvain Girbal, Milo V. Tomašević, "Simulation Support for Speculative Multithreading Protocols", ACACES 2008, July 2008, Italy, pp. 283-286.
- [Radu2009] Milan B. Radulović, Sylvain Girbal, Milo V. Tomašević, "Evaluating the SISC TLS protocol through Structural Simulation", ACACES 2009, July 2009, Spain, pp. 319-322.
- [Torr2011] Josep Torrellas, "Thread-Level Speculation", Encyclopedia of Parallel Computing, Springer Science+Business Media LLC, May 2011.

3. Полазне хипотезе

У овом раду се полази од претпоставке да се ресурси CMP процесора, уз додатну хардверску и/или софтверску подршку за TLS, могу искористити и за извршавање данас преовлађујућих секвенцијалних апликација. Међутим, поједина постојећа решења CMP процесора са TLS подршком захтевају коришћење знатних додатних хардверских и софтверских ресурса за обављање специфичних операција током

спекулативног извршавања секвенцијалних апликација. С обзиром да велики дио хардверске и/или софтверске подршке за TLS у CMP процесору остаје неискоришћен приликом извршавања паралелних апликација или истовременог извршавања више апликација потребно је дефинисати минималну подршку за TLS како би се однос цена/перформансе задржао на оптималном нивоу.

Осим тога, код појединих решења су уочени проблеми током потврђивања ефеката спекулације што за последицу има повећан саобраћај на интерконекционој мрежи CMP процесора са TLS подршком. Такође, анализа алгоритама замене у кеш меморијама који се користе у постојећим решењима CMP процесора са TLS подршком је показала да се исти могу унапредити увођењем одређених критеријума. Претпоставка је да ће предлог CMP процесора са TLS подршком поседовати решења која ће значајно минимизовати претходно уочене проблеме код датих процесора и на тај начин постићи побољшање у односу на постојећа решења.

За потребе симулације и евалуације предлога решења CMP процесора са TLS подршком у овом раду ће бити развијено симулационо окружење, које ће се моћи користити не само за евалуацију предложеног решења већ и за евалуацију других предлога решења CMP архитектура, са или без TLS подршке. Претпоставља се да би се на тај начин различити предлози решења CMP архитектура могли евалуирати на истој симулационој платформи што би омогућило ефикасно поређење резултата симулација за дата решења и унапредило истраживања у овој области у циљу дефинисања најпогодније CMP архитектуре са становишта односа цена/перформансе.

Потребно је омогућити и коришћење одговарајућег преводиоца за добијање спекулативних бинарних извршених датотека. Наиме, POSH преводиоца за спекулативно извршавање није јавно доступан, али у сарадњи са колегама на Универзитету Illinois at Urbana-Champaign, САД, који су власници ауторских права, је могуће урадити измене на преводиоцу у складу са нашим предлозима како би се исти могао искористити за дато истраживање CMP процесора са TLS подршком. Алтернативно решење је коришћење јавно доступног compilation toolchain-a који је генерисан помоћу crosstool-ng toolchain генератора. Помоћу овог јавно доступног toolchain-a је могуће извршити само полуаутоматско спекулативно преводићење секвенцијалних тестних апликација док корисник ручно уноси функцијске позиве у деловима програмског кода где ће се применити спекулација.

4. Научне методе истраживања

Методологија истраживања у оквиру предложене докторске дисертације ће обухватити:

- прикупљање и сређивање података о постојећим решењима CMP процесора са подршком за TLS на основу доступне литературе,
- класификацију и компаративну анализу референтних решења CMP процесора са подршком за TLS, као и анализу њихових уочених недостатака у циљу дефинисања проблема истраживања,
- дефинисање предлога сопственог решења CMP процесора са подршком за TLS, са становишта архитектуре, спекулативних протокола на регистарском и меморијском нивоу, као и подршке за спекулативно извршавање,
- развој симулационог окружења базираног на UNISIM симулатору за верификацију и евалуацију предложеног решења CMP процесора са подршком за TLS,
- дефинисање предлога у вези са избором одговарајућег преводиоца за MIPS архитектуру који ће се користити за паралелизацију секвенцијалних апликација и добијања спекулативних бинарних извршених датотека,
- евалуација предложеног решења CMP процесора са TLS подршком путем симулационе анализе на предложеној симулационој платформи.

5. Очекивани научни допринос

Ово истраживање има за циљ дефинисање предлога новог, једноставнијег и ефикаснијег решења TLS подршке у CMP процесору са комуникацијом између спекулативних нити на регистарском и на меморијском нивоу, узимајући у обзир све претходно уочене проблеме код постојећих спекулативних CMP архитектура, а у циљу остваривања бољих карактеристика у односу на актуелна решења. Основни доприноси који се очекују током истраживања су следећи:

- детаљна анализа и поређење постојећих академских и комерцијалних решења CMP процесора са подршком за TLS која су доступна у отвореној литератури како би били идентификоване могућности њиховог побољшања.
- предлог решења TLS подршке у CMP процесору са комуникацијом између спекулативних нити која се обавља и на регистарском и на меморијском нивоу, које има механизме помоћу којих ће се минимизовати претходно уочени проблеми код спекулативних CMP архитектура. Такође, предлог треба да обухвати више протокола за регистарску и меморијску комуникацију у датом решењу CMP процесора са TLS подршком.

- нова симулациона платформа заснована на UNISIM симулатору са свом потребном инфраструктуром која ће омогућити не само евалуацију предложеног решења већ и других предлога решења CMP архитектура, са или без TLS подршке.
- предлог одговарајућег преводиоца за MIPS архитектуру који ће се користити за спекулативно превођење секвенцијалних апликација током извођења симулација.
- евалуација предложене архитектуре CMP процесора са TLS подршком кроз поређење предложених протокола за регистарску и меморијску комуникацију путем симулационе анализе на предложеној симулационој платформи.

6. План истраживања и структура рада

План истраживања се састоји од више фаза које се извршавају или симултано или одвојено, зависно од потреба рада на дисертацији и добијених резултата. У првој фази ће бити извршен преглед академских и комерцијалних решења CMP процесора са TLS подршком, која су доступна у отвореној литератури. Компаративна анализа ће размотрити типове коришћених језгара, интерконекионе мреже, меморијску хијерархију, хардверску и софтверску подршку за спекулативно извршавање, као и протоколе за регистарску и меморијску комуникацију, како би се на основу спроведене детаљне анализе указало на недостатке постојећих решења у циљу прецизног дефинисања проблема истраживања у докторској дисертацији. Друга фаза ће обухватати рад на систематизацији детаљног предлога решења CMP процесора са TLS подршком које треба да ублажи претходно уочене проблеме постојећих CMP архитектура и на тај начин постигне побољшање у односу на постојећа решења.

На основу усвојеног предлога решења CMP процесора са TLS подршком у трећој фази истраживања ће се паралелно радити на дефинисању симулационог окружења које ће омогућити да се изврши квантитативна анализа, као и на припреми тестних апликација за спекулативно извршавање. Наиме, да би се секвенцијалне апликације прилагодили спекулативном извршавању потребно је извршити њихово превођење уз помоћ преводиоца који омогућавају паралелизацију секвенцијалног изворног кода. На основу доступних постојећих преводиоца за спекулативно извршавање (POSH) или на основу open source crosstool chain generator-а потребно је дефинисати преводилац који ће се користити током истраживања за превођење секвенцијалних апликација. У четвртој фази истраживања ће се радити на евалуацији предложеног решења, односно на дефинисању параметара система и симулационих сценарија са посебним освртом на анализу резултата симулација.

У уводном делу рада ће бити размотрене предности CMP процесора у односу на суперскаларне процесоре у складу са садашњим и будућим трендовима у развоју хардвера и софтвера. С обзиром да је ефикасност CMP процесора по питању бржег извршавања секвенцијалних апликација заснована на техникама TLS, она ће бити детаљно елаборирана у другом делу рада кроз приказ основних механизма рада и примене ове технике. У трећем делу рада ће бити представљена досадашња академска и комерцијална решења CMP процесора са подршком за TLS која су доступна у отвореној литератури. Најрепрезентативнији представници ових система, сврстани по групама у зависности од архитектуре, ће бити анализирани са различитих пројектних становишта и размотрени уочени недостаци. На крају овог дела рада ће бити прецизно дефинисан проблем истраживања у складу са претходно извршеном анализом постојећих решења. Предложено решење CMP процесора са TLS подршком ће бити анализирано са становишта идеје и користи које доноси такво решење, а затим ће се детаљно представити предложена архитектура и протоколи на регистарском и меморијском нивоу. У овом делу рада ће се извршити квалитативно поређење предложених протокола за регистарску и меморијску комуникацију.

Симулационо окружење базирано на UNISIM симулатору, који је проширен са подршком за симулацију CMP процесора са TLS-ом, биће детаљно представљено у петом делу рада. Прво ће бити описана симулациона платформа UNISIM, а затим и новоувођене функционалности које ће омогућити да се дати симулатор може користити за евалуацију предложеног решења. У наставку ће бити указано на могућност да се, захваљујући уведеним модификацијама UNISIM симулатор користи као симулациона платформа и за друге CMP архитектуре, са или без TLS подршке. Поред симулационе платформе ће бити представљен и начин дефинисања предлога решења за преводиоца за MIPS архитектуру који ће се користити за спекулативно превођење секвенцијалних апликација током извођења симулација. POSH преводилац са Универзитета Illinois at Urbana-Champaign, САД, као први избор предлога решења преводиоца за спекулативно превођење секвенцијалних апликација ће бити представљен као и потребне измене које је неопходно увести да би се он прилагодио предложеном решењу CMP процесора са TLS подршком.

Након тога ће детаљно бити представљено и алтернативно решење за преводиоца коришћењем јавно доступног compilation toolchain-а који је генерисан помоћу crosstool-ng toolchain генератора. Такође, биће извршено и поређење дата два предлога решења за преводилац, зато што је са алтернативним решењем добијеним помоћу јавно доступног toolchain-а могуће извршити само полуаутоматско спекулативно

превођење секвенцијалних тестних апликација док са друге стране POSH преводилац врши аутоматско спекулативно превођење секвенцијалних апликација.

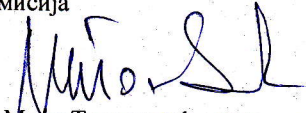
У шестом поглављу би били дефинисани анализирани параметри, симулациони сценарији исцрпних тестирања, а посебан акценат би се ставио на анализу резултата симулација са њиховим детаљним објашњењем. У закључку рада ће бити наведени добијени резултати, предности и мане предложеног решења у односу на постојећа решења и дефинисани будући правци у даљем истраживању.

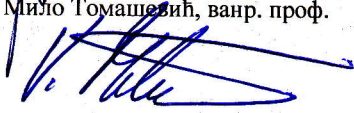
7. Закључак и предлог

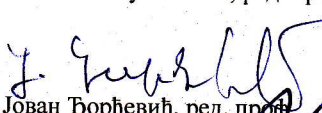
На основу изложеног, Комисија констатује да кандидат испуњава све формалне и суштинске услове за приступање изради докторске дисертације, као и да је предложена тема „**Протоколи за спекулацију на нивоу нити у SMP процесорима**” научно заснована, актуелна и омогућује постизање оригиналних научних резултата у области архитектуре мултипроцесорских система. Зато Комисија предлаже Научно-наставном већу Електротехничког факултета у Београду да кандидату мр Милану Радуловићу одобри израду докторске дисертације под горе наведеним насловом.

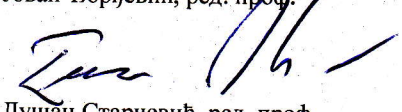
У Београду, 14.06.2011. године

Комисија


Др Мило Томашевић, ванр. проф.


Др Вељко Милутиновић, ред. проф.


Др Јован Ђорђевић, ред. проф.


Др Душан Старчевић, ред. проф.