

НАСТАВНО-НАУЧНОМ ВЕЋУ

Предмет: Подобност теме и кандидата Владимира Петровића за израду докторске дисертације

Одлуком Наставно-научног већа Електротехничког факултета бр. 5034/15-1 од 24.12.2020. године, именовани смо за чланове Комисије за оцену подобности теме и кандидата Владимира Петровића за израду докторске дисертације и научне заснованости теме под насловом

„Флексибилни кодер и декодер кодова са проверама парности мале густине“
(енглески: *“Flexible encoder and decoder of low density parity check codes”*).

На основу материјала приложеног уз Захтев кандидата, Комисија подноси следећи

ИЗВЕШТАЈ

1. Подаци о кандидату

1.1. Биографски подаци

Владимир Петровић је рођен у Ужицу 21.11.1991. године. Основну школу и гимназију је завршио у Пожеги као ученик генерације и са просечном оценом 5. На Електротехнички факултет се уписао 2010. године, а дипломирао је као студент генерације на одсеку за електронику 27.06.2014. год. са просечном оценом 10 и дипломским радом „Међупроцесорска комуникација на ZYNQ-7000 платформи“. Мастер академске студије, модул електроника, завршио је 25.09.2015. године са просечном оценом 10 и мастер радом „Издавање неуронских сигнала из података добијених снимањем калцијумске флуоресценције“. Докторске академске студије на Електротехничком факултету уписао је 2015. године. На докторским студијама положио је све испите са оценом 10.

Од 2.11.2014. је запослен на Електротехничком факултету у Београду као сарадник у настави, а од 1.2.2016. као асистент, на Катедри за електронику. Пре радног ангажовања на Електротехничком факултету током школске 2013/14. године био је на стручној пракси у „Aggios Europe d.o.o.“ у Београду, а од јула до краја септембра 2014. године био је на стручној пракси на Универзитету Калифорније у Лос Анђелесу.

Као представник Србије у октобру 2014. године учествовао је на Међународној олимпијади из микроелектронике у Јеревану, Јерменија. Од тада организује квалификационо такмичење за представника Србије на овој олимпијади у сарадњи са наставницима других универзитета.

У току лета 2017. године учествовао је у Erasmus+ програму размене наставног особља са Политехничким универзитетом у Мадриду.

1.2. Стечено научноистраживачко искуство

Кандидат је као сарадник у настави и асистент учествовао или тренутно учествује у извођењу рачунских вежби на следећим предметима: „Увод у пројектовање интегрисаних кола“, „Увод у пројектовање VLSI система“, „Дигитална обрада сигнала“, „Дигитални процесори сигнала“, „Основи дигиталне електронике“, „Техничка документација“, „Аналогна електроника“ и „Елементи електронике“. Такође, учествује у извођењу лабораторијских вежби на готово свим предметима Катедре за електронику.

У току рада на Електротехничком факултету учествовао је на више пројеката од којих су најзначајнији „Развој широкопојасног модема и интернет свича“ (од марта 2017. до краја 2019.) у сарадњи са SANS R&D LLC из Сан Дијега (Калифорнија, САД), и „Сензор за детекцију људи“ (од фебруара 2017. до фебруара 2019.), пројекат из програма сарадње науке и привреде Фонда за иновациону делатност РС, у сарадњи са NovellC d.o.o из Београда.

Кандидат је уписао докторске студије на Електротехничком факултету у Београду школске 2015/2016. године на модулу Електроника. Током докторских студија испунио је све обавезе и положио испите предвиђене наставним планом.

Р. Бр.	Назив предмета/обавезе	Оцена	ЕСПБ
1	Случајни процеси у телекомуникацијама	10	9
2	Пројектовање интегрисаних кола и система	10	9
3	Одабрана поглавља из дигиталне обраде сигнала	10	9
4	Пројектовање наменских рачунарских система	10	9
5	Класификација и естимација сигнала	10	9
6	Одабрана поглавља из аналогне електронике	10	9
7	Савремене технике контроле грешака у телекомуникацијама	10	9
8	Микроталасна електроника	10	9
9	Увод у научни рад	10	6
10	Интегрисана кола за комуникационе и радарске системе	10	9
11	Студијски истраживачки рад I		15
12	Студијски истраживачки рад II		15
13	Научно стручни рад		3
Укупно			120

Досадашњи научни резултати кандидата приказани су кроз три рада публикована у врхунским међународним часописима (M21), један рад публикован у домаћем часопису (M51), четири саопштења са међународних скупова штампаних у целини (M33) и једно саопштење са домаћег скупа штампаног у целини (M63). Према подацима са Scopus базе радови Владимира Петровића цитирани су 22 пута, изузимајући аутоцитате. На 3. Међународној конференцији за електротехнику, електронику и рачунарство IcETRAN 2016 добио је награду за најбољи рад младог аутора за рад “Towards Real-Time Blob Detection in Large Images with Reduced Memory Cost”. У даљем тексту је наведен списак публикација на којима је Владимир Петровић аутор.

Категорија M20 - Радови објављени у научним часописима међународног значаја:

- [1] V. Petrović, M. Marković, D. El Mezeni, L. Saranovac, and A. Radošević, “Flexible High Throughput QC-LDPC Decoder with Perfect Pipeline Conflicts Resolution and Efficient Hardware Utilization”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 67, No. 12, pp. 5454-5467, Dec. 2020. ISSN: 1549-8328, DOI: 10.1109/TCSI.2020.3018048 (**M21, IF 2018: 3.934**)

- [2] N. Malešević, **V. Petrović**, M. Belić, C. Antfolk, V. Mihajlović, and M. Janković, "Contactless Real-Time Heartbeat Detection via 24 GHz Continuous-Wave Doppler Radar Using Artificial Neural Networks", *Sensors*, Vol. 20, No. 8, p. 2351, Apr. 2020. ISSN: 1424-8220, DOI: 10.3390/s20082351 (**M21, IF 2019: 3.275**)
- [3] **V. Petrović**, M. Janković, A. Lupšić, J. Popović-Božović, and V. Mihajlović, "High-Accuracy Real-Time Monitoring of Heart Rate Variability Using 24 GHz Continuous-Wave Doppler Radar", *IEEE Access*, Vol. 7, pp. 74721-74733, Jun. 2019. ISSN: 2169-3536, DOI: 10.1109/ACCESS.2019.2921240 (**M21, IF 2018: 4.098**)

Категорија M30 – Радови објављени у зборницима научних скупова међународног значаја:

- [1] **V. Petrović** and D. El Mezeni, "Reduced-Complexity Offset Min-Sum Based Layered Decoding for 5G LDPC Codes", *2020 28th Telecommunication Forum TELFOR, IEEE*, Belgrade, Serbia, Nov. 2020. ISSN: 978-0-7381-4243-2 (**M33**)
- [2] **V. Petrović**, D. El Mezeni, R. Đurić, and J. Popović-Božović, "Analysis of Area Efficiency of 12-bit Switched-Capacitor DAC Topologies used in SAR ADC", *Proceedings of 4th International Conference on Electrical, Electronic and Computing Engineering IcETRAN 2017*, Kladovo, Serbia, Jun. 2017, pp. ELI1.3 1-6. ISSN: 978-86-7466-692-0 (**M33**)
- [3] **V. Petrović**, N. Malešević, M. Janković, B. Petrović, and V. Mihajlović, "System for Validation of Doppler Radar Sensors for Heartbeat and Respiration Monitoring", *Proceedings of 4th International Conference on Electrical, Electronic and Computing Engineering IcETRAN 2017*, Kladovo, Serbia, Jun. 2017, pp. BTI1.6 1-5. ISSN: 978-86-7466-692-0 (**M33**)
- [4] **V. Petrović** and J. Popović-Božović, "Towards Real-Time Blob Detection in Large Images with Reduced Memory Cost", *Proceedings of 3rd International Conference on Electrical, Electronic and Computing Engineering IcETRAN 2016*, Zlatibor, Serbia, Jun. 2016, pp. EKI2.2 1-6. ISSN: 978-86-7466-618-0 (**M33**)

Категорија M50 – Рад у часопису националног значаја:

- [1] **V. Petrović** and J. Popović-Božović, "A Method for Real-Time Memory Efficient Implementation of Blob Detection in Large Images", *Serbian Journal of Electrical Engineering*, Vol. 14, No. 1, pp. 67-84, Feb. 2017. ISSN: 1451-4869, DOI: 10.2298/SJEE1701067P (**M51**)

Категорија M60 – Рад објављен у зборнику научног скупа националног значаја:

- [1] S. Janković, D. El Mezeni, **V. Petrović**, I. Popović, J. Popović-Božović and L. Saranovac, "EASYSim - Energyaware embedded system simulator", *Small Systems Symulation Symposium 2016*, Niš, Serbia, Feb. 2016, pp. 89–94. ISSN: 978-86-6125-154-2 (**M63**)

Дана 28.12.2020. године на Електротехничком факултету у Београду, Владимир Петровић је имао јавни усмени испит о подобности теме и кандидата пред комисијом у саставу:

1. др Јелена Поповић-Божовић, доцент,
Универзитет у Београду – Електротехнички факултет
2. др Горан Т. Ђорђевић, редовни професор,
Универзитет у Нишу – Електронски факултет
3. др Предраг Иваниш, редовни професор,
Универзитет у Београду – Електротехнички факултет
4. др Драгомир Ел Мезени, доцент,
Универзитет у Београду – Електротехнички факултет
5. др Срђан Бркић, доцент,
Универзитет у Београду – Електротехнички факултет

Комисија је једногласно закључила да кандидат испуњава услове за рад на предложеној теми докторске дисертације и оценила испит оценом **задовољно**. Комисија је такође предложила

промену радног наслова теме „Флексибилни кодер и декодер кодова са малом густином провера парности“ у „Флексибилни кодер и декодер кодова са проверама парности мале густине“, због усаглашавања са формулацијама у стручној литератури.

1.3. Оцена подобности кандидата за рад на предложеној теми

На основу претходног приказа резултата досадашњег рада кандидата Владимира Петровића и узимајући у обзир претходно наведене чињенице, Комисија је стекла увид у способности и научно-истраживачки рад кандидата, те констатује да је кандидат:

- Положио све испите и завршио све обавезе предвиђене наставним планом и програмом и тиме остварио 120 ЕСПБ бодова.
- Јавно одбранио тему докторске дисертације 28.12.2020. године пред комисијом формираном од стране Наставно-научног већа Електротехничког факултета у Београду.
- Публиковао укупно девет радова, од којих је три публикувано у врхунским међународним часописима, један у домаћем часопису, четири у саопштењима међународних научних скупова штампаних у целини и један у саопштењу са скупа националног значаја штампаног у целини, што га квалификује за научни рад.
- Током трајања докторских студија био активно ангажован на истраживачким и комерцијалним пројектима од којих је пројекат „Развој широкопојасног модема и интернет свича“ у директној вези за предложеном темом докторске дисертације. Тиме је остварио практично искуство у области коју покрива предложена тема докторске дисертације.

Комисија закључује да кандидат Владимир Петровић у сваком погледу испуњава услове за рад на предложеној теми.

2. Предмет и циљ истраживања

Захваљујући одличним перформансама у погледу броја исправљених грешака, кодови са провера парности мале густине (*low density parity check – LDPC*), у даљем тексту *LDPC* кодови, налазе све већу примену у многим телекомуникационим стандардима, укључујући и пету генерацију (*5G new radio*) стандарда за мобилне мреже. *LDPC* кодови спадају у групу линеарних блок кодова, што значи да су потпуно дефинисани својом контролном матрицом. Друга представа *LDPC* кодова је представа бипартитивним (Танеровим) графом који има онолико варијабилних чворова колико је колона у контролној матрици, а онолико контролних чворова колико је врста у контролној матрици. Варијабилни и контролни чворови су повезани ако се у контролној матрици на пресеку одговарајуће врсте и колоне налази јединица. Контролна матрица је код *LDPC* кодова ретка (*sparse*), тј. има мали број јединица у односу на величину матрице, што може омогућити ефикасно кодовање и декодовање чак и за изузетно дугачке кодне речи.

Најбоље перформансе дају кодови код којих је контролна матрица таква да јој је распоред јединица псеудослучајан. Међутим, ради ефикасније реализације кодера и декодера, у комуникационим стандардима се често јавља класа *LDPC* кодова структуриране контролне матрице, која се назива квазицикличним *LDPC* кодовима. Контролна матрица је састављена од квадратних под-матрица; под-матрице могу бити матрице нула или јединичне матрице које су циклично померене одређени број пута (циркуланти) [1]. Додатно, добри кодови су најчешће ирегуларни, што значи да је број јединица у појединим врстама, као и колонама, различит [2].

Дековање *LDPC* кодова се најчешће ради итеративним поступком код кога варијабилни и контролни чворови размењују поруке и на основу њих мењају своје тренутно стање.

Итеративни поступак се понавља све док стања варијабилних чворова нису таква да је декодер конвергирао у неку кодну реч или док се не достигне максималан дозвољени број итерација. Оптимално декодовање у случају канала са адитивним белим Гаусовим шумом (*additive white Gaussian noise -AWGN- channel*) је засновано на неким одлукама (*soft-decision decoding*) и постиже се *Sum-Product* алгоритмом (*SPA*) [3]. Хардверске имплементације овог алгоритма најчешће захтевају велику количину ресурса због сложених израчунавања у контролним чворовима. Због тога се најчешће користе апроксимације овог алгоритма попут *Offset Min-Sum* и *Normalized Min-Sum* [4]. Редослед размене порука између чворова Танеровог графа може бити такав да сви варијабилни чворови истовремено шаљу поруке контролним чворовима и обрнуто [5]. Међутим, редослед може бити и такав да само део варијабилних чворова шаље поруке контролним чворовима са којима су повезани. Они добијају одговор од контролних чворова и ажурирају своје стање; затим друга група варијабилних чворова шаље поруке својим контролним чворовима и тако даље. Овакав редослед процесирања се назива слојевито (*layered*) декодовање и може значајно убрзати конвергенцију, јер се стања варијабилних чворова ажурирају чешће [6].

Повећање протока хардверских реализација декодера се углавном може остварити на два начина: 1) повећањем учестаности сигнала такта и 2) повећањем броја паралелних блокова за процесирање. Повећање учестаности сигнала такта се најчешће постиже проточном обрадом (*pipelining*). Дизајн са већом дубином (већим бројем степени) проточне обраде ће најчешће моћи да ради на већој учестаности. Међутим, иако су *layered* декодери супериорни у погледу брзине конвергенције, њихове хардверске реализације које садрже велики број степени проточне обраде најчешће пате од хазарда података. Хазарди настају због потребе за неким резултатима пре њиховог израчунавања. У овим конфликтним ситуацијама је неопходно увести циклусе паузе током којих ће се сачекати на резултате израчунавања, што значајно повећава број циклуса такта потребан за декодовање.

Број циклуса паузе је у литератури смањиван прерасподелом контролне матрице у облик који је мање осетљив на међусобне зависности између израчунавања [7], [8]. У општем случају, овај метод не може уклонити све циклусе паузе и мора се спровести за сваки код појединачно. Други приступ подразумева декодовање више кодних речи истовремено [9]. На овај начин декодер врши израчунавања потребна за декодовање неке друге кодне речи док чека на завршетак израчунавања потребних за декодовање прве кодне речи. Уколико се истовремено декодује већи број речи, циклуси паузе се могу у потпуности избећи. Ипак, неопходно је чувати податке о свим кодним речима истовремено, што повећава захтеве за меморијским ресурсима. Додатно, кашњење оваквог система је веће него кашњење система који декодује само једну реч и све хардверске ресурсе усмерава на завршетак декодовања те једне речи. Неке од алгоритамских техника за смањење броја циклуса паузе су приказане у [10] и [11]. Приликом ажурирања стања једне групе варијабилних чворова, техника из [10] захтева читање тренутног стања чворова како би се ажурирала на основу доприноса контролних чворова. Истовремено, тренутна стања неких других варијабилних чворова се морају читати за израчунавање порука коју ти чворови шаљу својим контролним чворовима. За реализацију су због тога потребне две меморијске банке потпуно истог садржаја, које чувају стања варијабилних чворова, што повећава захтеве за меморијским ресурсима. У приступу приказаном у [11], алгоритам предвиђа наставак декодовања са неажурираним вредностима без пауза у израчунавању, али доприноси контролних чворова акумулира у посебној регистарској банци. Ови доприноси се користе за ажурирање стања варијабилних чворова тек када се појави ситуација у којој нема конфликта. На овај начин се избегавају циклуси паузе, али се значајно деградирају перформансе декодовања.

Декодер је компонента која је уобичајено уско грло целог дигиталног дела физичког слоја. Због тога је велики значај у убрзању рада и повећању ефикасности реализације. Циљ главног дела истраживања у оквиру докторске дисертације је развити хардверску архитектуру и алгоритамско решење које подржава ефикасну реализацију декодера код кога не постоје

циклуси паузе због *pipeline* конфликта, а које не деградира или веома мало деградира перформансе декодовања. Оваквим приступом би се обезбедила произвољна дубина проточне обраде и тиме омогућило значајно повећање учестаности сигнала такта на коме декодер може да ради. Тиме би се повећао проток декодера, а самим тим и ефикасност искоришћења хардверских ресурса.

Кодовање је обично значајно једноставнији процес од декодовања, јер не подразумева итеративно процесирање. Управо из овог разлога, *LDPC* кодови се пројектују тако да им контролна матрица (матрица на основу које се декодује) буде што је могуће боље прилагођена декодеру, јер је циљ да се смањи комплексност декодовања. Полазна претпоставка је увек да је кодовање лакше урадити. Традиционални начин кодовања линеарних блок кодова је множење генеришуће матрице кода и вектора информационих бита. Код *LDPC* кодова би се генеришућа матрица морала одредити из контролне матрице Гаусовом елиминацијом. Међутим, у савременим комуникационим стандардима, какав је 5G, постоји велики број могућих кодова које један исти кодер треба да подржи. Контролне матрице свих 5G кодова се изводе из две велике матрице записане у компактној форми, па смештање података о контролним матрицама заузима малу количину меморијских ресурса. Међутим, генеришуће матрице су за сваки од ових кодова различите и захтевале би много меморијских ресурса за смештање. Додатно, није гарантовано да ће добијене генеришуће матрице бити ретке, што у општем случају даје комплексност кодовања која расте квадратно са дужином кодне речи. Ако се ово жели избећи, кодовање се мора урадити коришћењем контролне матрице [12], [13].

Предложена хардверска архитектура у [13] користи изузетно велики степен паралелизма и тиме постиже велике протоке. Међутим, током великог дела процеса кодовања, значајан проценат хардверских ресурса је неискоришћен, па је ефикасност предложеног решења мала. У овом приступу, највише ресурса узимају мреже за циркуларни померај које су дизајниране за фиксне дужине вектора на улазу. Међутим, 5G кодови су квазициклични *LDPC* кодови код којих циркулант од којих је сачињена контролна матрица могу имати много различитих димензија. То значи да мреже за циркуларни померај морају подржати све величине циркуланата. Дизајн оваквих флексибилних мрежа је нетривијалан и често захтева посебне оптимизације [14].

Циљ другог дела истраживања у оквиру докторске дисертације је да се подржи флексибилност кодера захтевана у 5G стандарду уз повећање ефикасности искоришћења хардверских ресурса.

Релевантни радови из области истраживања

- [1] T. J. Richardson and S. Kudekar, "Design of low-density parity check codes for 5G new radio," *IEEE Commun. Mag.*, vol. 56, no. 3, pp. 28–34, Mar. 2018.
- [2] T. Richardson, M. Shokrollahi, and R. Urbanke, "Design of capacity approaching irregular low-density parity-check codes," *IEEE Trans. Inform. Theory*, vol. 47, no. 2, pp. 619–637, Feb. 2001.
- [3] D. J. C. MacKay and R. M. Neal, "Near Shannon limit performance of low density parity check codes," *Electron. Lett.*, vol. 33, no. 6, pp. 457–458, Mar. 1997.
- [4] J. Chen and M. P. C. Fossorier, "Density evolution for two improved BP based decoding algorithms of LDPC codes," *IEEE Commun. Lett.*, vol. 6, no. 5, pp. 208–210, May 2002.
- [5] F. R. Kschischang and B. J. Frey, "Iterative decoding of compound codes by probability propagation in graphical models," *IEEE J. Select. Areas Commun.*, vol. 16, no. 2, pp. 219–230, Feb. 1998.
- [6] D. E. Hocevar, "A reduced complexity decoder architecture via layered decoding of LDPC codes," in *Proc. IEEE Work. Signal Process. Syst.*, Austin, TX, USA, Oct. 2004.
- [7] C. Marchand, J. B. Dore, L. Conde-Canencia, and E. Boutillon, "Conflict resolution for pipelined layered LDPC decoders," in *Proc. IEEE Work. Signal Process. Syst.*, Tampere, Finland, Oct. 2009, pp. 220–225.

- [8] Z. Wu and K. Su, "Updating conflict solution for pipelined layered LDPC decoder," in *Proc. IEEE Int. Conf. Signal Process. Commun. Comput.*, Ningbo, China, Sep. 2015.
- [9] S. Kumawat, R. Shrestha, N. Daga, and R. Paily, "High-throughput LDPC-decoder architecture using efficient comparison techniques and dynamic multi-frame processing schedule," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 62, no. 5, pp. 1421–1430, May 2015.
- [10] Implementation and performance of LDPC decoder, document R1-1700111, 3GPP, Ericsson, Spokane, USA, Jan. 2017.
- [11] O. Boncalo, G. Kolumban-Antal, A. Amaricai, V. Savin, and D. Declercq, "Layered ldpc decoders with efficient memory access scheduling and mapping and built-in support for pipeline hazards mitigation," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 66, no. 4, pp. 1643–1656, Apr. 2019.
- [12] T. J. Richardson and R. L. Urbanke, "Efficient encoding of low-density parity-check codes," *IEEE Trans. Inform. Theory*, vol. 47, no. 2, pp. 638–656, Feb. 2001.
- [13] T. T. B. Nguyen, T. Nguyen Tan, and H. Lee, "Efficient QC-LDPC encoder for 5G new radio," *Electronics*, vol. 8, no. 6, p. 668, Jun. 2019.
- [14] P. Hailes, L. Xu, R. G. Maunder, B. M. Al-Hashimi, and L. Hanzo, "A flexible FPGA-based quasi-cyclic LDPC decoder," *IEEE Access*, vol. 5, pp. 20965–20984, Mar. 2017.

3. Полазне хипотезе

Истраживачки рад ће се заснивати на следећим полазним хипотезама:

- Алгоритамским и архитектуралним техникама могуће је развити хардверски систем за декодовање *LDPC* кодова код кога није неопходно уводити циклусе паузе, тј. могуће је избећи хазарде података који у конвенционалном *layered* декодовању настају због проточне обраде.
- Декодер код кога нема конфликта се може пројектовати тако да има велики број степени проточне обраде, чиме се значајно може повећати учестаност рада. Повећањем учестаности рада, повећава се проток и ефикасност искоришћења хардверских ресурса.
- Очекивано је да ће се појавити деградације у перформансама декодовања. Међутим, оптимизацијом алгоритма, ове деградације се могу смањити или поништити.
- Могуће је постићи ефикасно кодовање и флексибилност кодера за 5G кодове ако се сви главни хардверски ресурси (мреже за циркуларни померај и ексиле кола са пратећом логиком) користе у што већем броју циклуса такта.

4. Научне методе истраживања

У овој докторској дисертацији биће примењене следеће методе истраживања:

- Прикупљање и теоријска анализа постојећих знања из монографија и научних радова који се баве проблематиком кодовања и декодовања *LDPC* кодова. Софтверска реализација постојећих метода и њихова евакуација.
- Сагледавање проблема и постављање хипотеза.
- Софтверски експерименти за проверу хипотеза. Реализација софтверских модела хардвера кодера и декодера.
- Хардверска реализација кодера и декодера. Оптимизација реализованих система.
- Верификација функционалне исправности реализованог хардвера и тестирање у реалном раду.
- Квалитативно и квантитативно поређење постојећих референтних метода и архитектура за кодовање и декодовање *LDPC* кодова са реализованим решењем.

5. Очекивани научни допринос

Главни очекивани научни допринос ове дисертације представљају архитектурална и алгоритамска решења за ефикасну хардверску реализацију флексибилних кодера и декодера намењених за кодовање и декодовање *LDPC* кодова из савремених комуникационих стандарда. Очекивани доприноси по темама су:

- Алгоритамско решење за слојевито (*layered*) декодовање квазицикличних *LDPC* кодова које омогућава потпуно елиминисање пауза у декодовању, насталих услед хазарда података у току проточне обраде. Овим се очекује значајно смањење потребних циклуса такта за једну итерацију декодовања и омогућавање велике дубине проточне обраде.
- Оптимизација алгоритма декодовања за побољшане перформансе декодовања при великом броју степени проточне обраде.
- Флексибилна хардверска архитектура декодера која подржава велики број кодова и дужина кодних речи, заснована на наведеном алгоритамском решењу, и ефикасна реализација наведене архитектуре на *FPGA* хардверској платформи.
- Ефикасно искоришћење хардверских ресурса флексибилног кодера за квазицикличне *LDPC* кодове из *5G* комуникационог стандарда. Ефикасност се постиже динамичким прилагођавањем броја паралелних израчунавања на промене кода и дужине кодних речи.

6. План истраживања и структура рада

Планирано је да се истраживање спроведе у следећим фазама:

- Развој алгоритамског решења за слојевито (*layered*) декодовање *LDPC* кодова без пауза у декодовању насталих услед хазарда података у току проточне обраде.
- Развој метода за оптимизацију развијеног алгоритма за побољшане перформансе декодовања.
- Реализација софтверског модела декодера у аритметици са покретном тачком, а затим и у аритметици са фиксном тачком, анализа перформанси и оптимизација битских ширина података.
- Развој хардверске архитектуре декодера.
- Хардверска реализација флексибилних мрежа за циркуларни померај података потребних за реализацију и флексибилног кодера и флексибилног декодера. Оптимизација ових мрежа за ефикасно искоришћење хардверских ресурса и рад на великим учестаностима сигнала такта.
- Хардверска реализација декодера, оптимизација за рад на великим учестаностима сигнала такта и тестирање на *FPGA* платформи.
- Развој хардверске архитектуре кодера.
- Хардверска реализација кодера, оптимизација за рад на великим учестаностима сигнала такта и тестирање на *FPGA* платформи.

7. Закључак и предлог

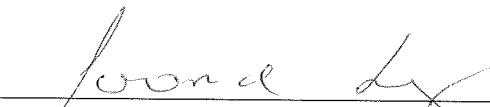
На основу приложене документације и непосредног увида у досадашњи научни рад кандидата Владимира Петровића, мастер инжењера електротехнике и рачунарства, Комисија закључује следеће:

1. Кандидат испуњава све формалне и суштинске услове прописане Законом о високом образовању, Статутом Универзитета у Београду и Статутом Електротехничког факултета у Београду за израду докторске дисертације.
2. Предложена тема **„Флексибилни кодер и декодер кодова са проверама парности мале густине“** (енглески: *“Flexible encoder and decoder of low density parity check codes”*) је научно заснована, а резултати до којих ће се доћи израдом ове дисертације представљаће значајан и оригиналан допринос. Тема припада ужој научној области Електроника.

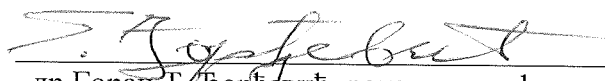
На основу претходно изложеног, Комисија предлаже Наставно-научном већу Електротехничког факултета у Београду да кандидату Владимиру Петровићу одобри израду докторске тезе под насловом **„Флексибилни кодер и декодер кодова са проверама парности мале густине“** (енглески: *“Flexible encoder and decoder of low density parity check codes”*), а под менторством др Лазара Сарановца, редовног професора Електротехничког факултета у Београду.

У Београду, 29.12.2020.

ЧЛАНОВИ КОМИСИЈЕ

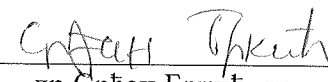

др Лазар Сарановац, редовни професор
Универзитет у Београду – Електротехнички факултет


др Јелена Поповић-Божовић, доцент
Универзитет у Београду – Електротехнички факултет


др Горан Т. Борђевић, редовни професор
Универзитет у Нишу – Електронски факултет


др Предраг Иваниш, редовни професор
Универзитет у Београду – Електротехнички факултет


др Драгомир Ел Мезени, доцент
Универзитет у Београду – Електротехнички факултет


др Срђан Бркић, доцент
Универзитет у Београду – Електротехнички факултет