

НАСТАВНО-НАУЧНОМ ВЕЋУ ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

На 746. седници Наставно-научног већа Електротехничког факултета у Београду, одржаној 24.04.2012. године, одређени смо за чланове Комисије за преглед и оцену докторске дисертације кандидата *мр Зорана Чиче* под насловом **„Имплементација функција пакетског процесирања у Интернет рутерима великог капацитета“**. Ментор докторске дисертације је др Александра Смиљанић, ванредни професор Електротехничког факултета Универзитета у Београду. Након увида у достављени материјал, извршили смо процену квалитета и научног доприноса поднете докторске дисертације, на основу које Наставно-научном већу Електротехничког факултета Универзитета у Београду подносимо следећи:

ИЗВЕШТАЈ

1. УВОД

1.1 Наслов и обим дисертације

Докторска дисертација кандидата мр Зорана Чиче под насловом „Имплементација функција пакетског процесирања у Интернет рутерима великог капацитета“ је написана у складу са важећим прописима и стандардима Универзитета у Београду. Дисертација је написана на 185 страна и садржи насловну страну на српском и енглеском језику, податке о члановима комисије, кратак резиме дисертације на српском и енглеском језику, садржај, 6 поглавља, списак од 95 референци, 58 слика, 39 табела, 2 прилога и биографију кандидата.

1.2 Хронологија одобравања и израде дисертације

Кандидат мр Зоран Чича је 22.03.2011. пријавио докторску дисертацију под насловом „Имплементација функција пакетског процесирања у Интернет рутерима великог капацитета“. Наставно-научно веће Електротехничког факултета у Београду је на својој 731. седници одржаној 19.04.2011. именovalo Комисију за оцену услова и прихватање теме докторске дисертације у саставу: др Александра Смиљанић ванредни професор Електротехничког факултета Универзитета у Београду (ментор), др Зоран Јовановић редовни професор Електротехничког факултета Универзитета у Београду, др Жарко Марков научни саветник Института Ирител и др Милан Бјелица доцент Електротехничког факултета Универзитета у Београду.

На 732. седници Наставно-научног већа Електротехничког факултета у Београду одржаној 24.05.2011. усвојен је извештај Комисије за оцену и услов прихватања теме докторске дисертације под насловом „Имплементација функција пакетског процесирања у Интернет рутерима великог капацитета“ кандидата мр Зорана Чиче.

Веће научних области техничких наука Универзитета у Београду је на седници Већа одржаној 06.06.2011., дало сагласност на предлог теме докторске дисертације кандидата мр Зорана Чиче под насловом „Имплементација функција пакетског процесирања у Интернет рутерима великог капацитета“.

На 746. седници Наставно-научног већа Електротехничког факултета у Београду одржаној 24.04.2012. именована је Комисија за преглед и оцену докторске дисертације кандидата мр Зорана Чиче под насловом „Имплементација функција пакетског процесирања у Интернет рутерима великог капацитета“. Чланови именоване Комисије за преглед и оцену докторске дисертације су: др Александра Смиљанић ванредни професор Електротехничког факултета Универзитета у Београду (ментор), др Милан Бјелица доцент Електротехничког факултета Универзитета у Београду, др Жарко Марков научни саветник Института Ирител и др Миодраг Поповић редовни професор Електротехничког факултета Универзитета у Београду.

1.3 Место дисертације у одговарајућој научној области

Дисертација припада научној области Телекомуникације и електроника, односно ужој научној области Архитектура свичева и рутера за коју је матични факултет Електротехнички факултет Универзитета у Београду.

1.4 Биографски подаци о кандидату

Чича Зоран је рођен 18.03.1979. у Загребу. Основно образовање је започео у Загребу. Због рата, 1991. је избегао у Србију, у Сремску Митровицу где је завршио основну школу, а потом и гимназију. 1997. године је уписао Електротехнички факултет у Београду и дипломирао 27.05.2002. са укупном средњом оценом 9.50, на дипломском испиту оцена 10. Током студија је хонорарно радио као демонстратор у Лабораторији за електронику Електротехничког факултета у Београду. Постдипломске студије - смер Телекомуникационе и рачунарске мреже на Електротехничком факултету је уписао 2002. Испите на постдипломским студијама положио је са просечном оценом 10. Магистарску тезу „Примена детерминистичке теорије сервисних система у планирању транспортних мрежа“, чији је ментор био редовни професор др Гроздан Петровић, одбранио је децембра 2007. године.

У 2002. стекао је звање асистента-приправника на Електротехничком факултету у Београду. У 2008. је стекао звање асистента. Држао је рачунске и лаб вежбе из предмета Телекомуникационе мреже, Пројектовање дигиталних телефонских централа, Рачунарске телекомуникације. Тренутно је ангажован на предметима Рачунарске основе и примене Интернета, Комутациони системи, Пројектовање комуникационог хардвера, Интернет програмирање, Архитектура свичева и рутера. Такође је био ангажован као асистент на предмету Рачунарске мреже и комуникације на Војно-техничкој академији. Учествовао је на неколико пројеката финансираних од стране Министарства за науку.

Зоран Чича је аутор/коаутор више радова на конференцијама и часописима, од којих су два била награђена као Најбољи рад у категорији младих аутора на конференцијама ЕТРАН 2007 и ЕТРАН 2009. Аутор је једног рада који је објављен у часопису са SCI листе - *IET Electronics Letters* са импакт фактором 1.004. Такође, коаутор је једног рада по позиву који је ће бити објављен у часопису са SCI листе – *Computer Networks* са импакт фактором 1.176. Оба ова рада су у области докторске тезе кандидата.

Зоран Чича био је и рецензент за међународне часописе *IEEE Communication Letters* и *IEEE Transactions on Communications*, за међународну конференцију *IEEE Workshop on High Performance Switching and Routing*, као и за домаће конференције ЕТРАН и ТЕЛФОР. У 2010. добио је признање *Exemplary reviewer* за међународни часопис *IEEE Communication Letters*.

2. ОПИС ДИСЕРТАЦИЈЕ

2.1 Структура и садржај дисертације

Дисертација је написана на 185 страна и садржи насловну страну на српском и енглеском језику, податке о члановима комисије, кратак резиме дисертације на српском и енглеском језику, садржај, 6 поглавља, преглед реферисане литературе, 2 прилога и биографију кандидата. Дисертација је подељена на следећа поглавља: 1. Увод, 2. Архитектура рутера, 3. FPGA имплементација пакетских процесора, 4. Преглед лукап алгоритама, 5. Предлог нових лукап алгоритама, и 6. Закључак. Део материјала који је намењен бољем разумевању садржаја докторске дисертације, а представљао би малу дигресију у односу на основни ток излагања, организован је у виду прилога на крају дисертације: А. Меморијски захтеви лукап алгоритама за анализиране IPv4 и IPv6 лукап табеле, и Б. MRT формат лукап табела рутера. По својој форми и садржају, поднета дисертација задовољава све стандарде за докторску дисертацију.

2.2 Кратак приказ појединачних поглавља

Прво поглавље представља увод у коме је укратко описана улога и функције рутера у Интернет мрежи. Потом је објашњена улога пакетских процесора у Интернет рутерима. Изложен је циљ дисертације - имплементација пакетских процесора и унапређивање лукапа у односу на постојећа решења. Лукап на основу одредишне адресе пакета врши одређивање излазног порта рутера на који треба усмерити долазећи пакет. Лукап представља једну од најкритичнијих функција пакетског процесора која ограничава скалабилност рутера па је стога део дисертације посвећен налажењу напредних решења која имају боље перформансе од постојећих решења. На крају је укратко изложена структура осталих поглавља дисертације.

У другом поглављу је прво изложена структура рутера која се састоји од равни података и контролне равни, при чему су наведене улога и функције обе равни. Потом су наведене и објашњене хардверске целине које сачињавају Интернет рутер - линијски модули, процесорски модули, комутациони модули и бекплејн.

На крају је дат преглед и анализа постојећих архитектура Интернет рутера неопходних за разумевање рада пакетског процесора. Архитектура рутера дефинише начин прослеђивања Интернет пакета са улазних портова рутера на излазне портове, а самим тим има и пресудан утицај на перформансе рутера и имплементацију пакетског процесора. Изложене су једноступене архитектуре (пакетски свич са баферима на излазу, пакетски свич са заједничким бафером, пакетски свич са баферима на улазу, *Birkoff - von Neumann* пакетски свич) и вишеступене архитектуре (торусни пакетски свич, Кловски пакетски свич), при чему су наведене предности и мане сваке од изложених архитектура. У наставку дисертације је коришћена једноступена архитектура која је једноставнија и економичнија од вишеступене архитектуре, при чему је изабрана архитектура заснована на пакетском свичу са баферима на улазу која је најскалабилнија од свих једноступених архитектура.

У трећем поглављу је изложена имплементација пакетских процесора. У имплементацији су коришћени FPGA чипови због своје флексибилности. Имплементација пакетских процесора представља резултат рада на развоју прототипа Интернет рутера у оквиру пројекта „Системска интеграција Интернет рутера“ подржаног од стране Министарства за просвету и науку Републике Србије. Реализовани прототип је заснован на најскалабилнијој једноступеној архитектури - пакетском свичу са баферима на улазима, при чему је коришћен напредни SGS алгоритам за распоређивање пакета за слање ка излазним портovima рутера. SGS алгоритам омогућава постизање високих перформанси рутера и гаранција квалитета сервиса. На почетку поглавља је изложена структура прототипа Интернет рутера који се састоји од две штампане плоче - једне на којој се налази процесорски модул и друге на којој се налазе линијски модули и комутациони модул. Потом је дат опис штампане плоче која садржи линијске модуле и комутациони модул и која је развијена у оквиру пројекта, а такође је описана и веза између процесорског модула и линијских модула. Реализована штампана плоча унутар линијских модула садржи осам пакетских процесора при чему је сваки пакетски процесор придружен једном гигабитском етернет порту. Потом је описана структура имплементираних пакетских процесора. Пакетски процесор се састоји из следећих целина: улазни модул слоја линка, улазни мрежни модул, лукап модул, SGS распоређивач, DDR2 контролер, SERDES модул, излазни мрежни модул и излазни модул слоја линка. Сви делови пакетског процесора су детаљно описани, при чему су такође анализирани у погледу утицаја на скалабилност рутера. Утврђено је да су најкритичније функције - лукап и имплементација пакетских бафера. На крају поглавља су изложене хардверске перформансе имплементације у виду искоришћених ресурса FPGA чипа, које директно утичу на скалабилност дизајна.

У четвртном поглављу је прво детаљно описан лукап и изложени су аспекти који чине лукап једном од најкритичнијих функција пакетског процесора са становишта скалабилности рутера. Потом је извршена класификација постојећих лукап алгорита на три главне класе - лукап алгоритми засновани на структури стабла, TCAM лукап алгоритми и лукап алгоритми засновани на хеширању. Потом је дат опис и анализа сваке од класа, при чему су изложене најпознатије технике које се користе у свакој од класа. У свакој класи су наведени и математички анализирани најпознатији лукап алгоритми дотичних класа. Анализирани лукап алгоритми су касније поређени са предложеним лукап алгоритмима.

У петом поглављу су представљена три нова лукап алгоритма напредних перформанси. Сваки од предложених лукап алгорита је детаљно описан и математички анализиран. Предложени лукап алгоритми се заснивају на подели оригиналног бинарног стабла лукап табеле на нивое који се претражују у паралели. У сваком нивоу се чувају само непразна подстабла чиме се смањују меморијски захтеви. Употребом битмап технике за чување непразних подстабала и статичког адресирања којим се избегава употреба показивача се додатно смањују меморијски захтеви. Саме идентификације излазних портова на које треба усмерити пакете се узимају само у последњем кораку па се чувају у екстерној меморији. Отуда предложени лукап алгоритми користе веома мале интерне меморијске ресурсе чипа па су подржане и веома велике лукап табеле, као и дугачке IPv6 адресе. Предложени лукап алгоритми користе и технике паралелизације и пајплајна за остваривање великих протока лукапа, а самим тим и портова великих брзина. Извршено је и поређење предложених лукап алгорита са постојећим лукап алгоритмима и утврђено је да предложени лукап алгоритми остварују најбоље перформансе нарочито у случају великих IPv6 лукап табела што је од великог значаја с обзиром да је прелазак на дуже IPv6 адресе неминован. На крају петог поглавља су изложене и перформансе хардверске имплементације у виду искоришћених ресурса FPGA чипа, као и максималног протока лукапа који се може остварити.

У шестом поглављу је дат закључак који обухвата кратак преглед битних тематских целина и доприноса дисертације.

3. ОЦЕНА ДИСЕРТАЦИЈЕ

3.1 Савременост, оригиналност и значај

Интернет представља једну од најзначајнијих технологија и мотор даљег развоја модерног друштва. Пошто рутери представљају основну компоненту која омогућава рад Интернет мреже, непрестано се ради на развоју и унапређивању Интернет рутера. Рутери комерцијалних произвођача су затворени и тиме су истраживачи Интернет технологија у немогућности да ефикасно развијају, тестирају и верификују нова решења и алгоритме појединих делова и функција рутера. У оквиру дисертације развијен је најважнији део равни података Интернет рутера - пакетски процесор, при чему је имплементирани пакетски процесор интегрисан у развијени прототип Интернет рутера. Интегрисани прототип Интернет рутера представља отворену платформу на којој се могу тестирати разноврсне функционалности рутера у реалном окружењу.

Развијени прототип Интернет рутера је значајан за образовање и истраживање. Отвореност прототипа омогућава јасан и једноставан увид у рад Интернет рутера студентима, чиме они лакше усвајају знања из области архитектуре и рада рутера. Такође, студенти могу да имплементирају и тестирају поједине делове пакетских процесора и тако уче пројектовање комуникационог хардвера. Отвореност платформе омогућава истраживачима фокус на поједине делове рутера и развој нових напредних алгоритама која могу да се потом тестирају у реалном мрежном окружењу. NetFPGA платформа развијена на Станфорд универзитету има сличну улогу, али значајна предност развијеног домаћег прототипа јесте његова скалабилност јер се заснива на улазним баферима и кросбар комутационом пољу.

У дисертацији је велика пажња посвећена лукапу. Лукап представља једну од најкритичнијих функција пакетског процесора која може да ограничи скалабилност рутера. Данас је лукап функција поново у фокусу, с обзиром на неминован прелаз на дуже IPv6 адресе, као и на велике брзине портова које непрекидно расту. Стари лукап алгоритми су пројектовани за рад са краћим IPv4 адресама и већина тих алгоритама не ради добро са дужим IPv6 адресама. Отуда је неопходан развој нових лукап алгоритама који ће омогућавати подршку великим IPv6 лукап табелама које садрже велик број записа. У дисертацији су предложени оригинални лукап алгоритми који имају високе перформансе. Предложени лукап алгоритми су упоређени са постојећим лукап алгоритмима и утврђено је да имају значајне предности у односу на постојећа решења нарочито у случају IPv6 лукап табела. Интерни меморијски ресурси представљају најкритичнији ресурс лукап алгоритама, и компаративном анализом је утврђено да предложени лукап алгоритми имају 2-3 пута мање интерне меморијске захтеве од најближег кандидата за све анализиране лукап табеле у случају када су две екстерне меморије на располагању, односно 3-5 пута мање интерне меморијске ресурсе у случају када су три екстерне меморије на располагању. Консеквентно, предложени лукап алгоритми могу подржавати значајно веће IPv6 лукап табеле него постојећи лукап алгоритми при истом протоку. У дисертацији су предложени лукап алгоритами и имплементирани, те је тако додатно потврђена хардверска економичност предложених алгоритама. Постигнути проток лукапа је у најгорем случају 64.6Gb/s, при чему се овај проток може повећати у случају употребе интегрисаних чипова напреднијих перформанси.

3.2 Осврт на референтну и коришћену литературу

Литература која је коришћена у дисертацији у потпуности задовољава све критеријуме доброг покривања области истраживања, адекватности и савремености анализе најновијих резултата и трендова развоја у области истраживања. У својој дисертацији, кандидат је детаљно претражио литературу и коректно навео референце радова који су у вези са темом дисертације. Наведено је 95 референци, од чега 6 књига, 31 рад у часописима, 41 рад у конференцијским зборницима, 1 технички извештај, 6 RFC препорука, 9 референци на материјале и податке доступне на Интернету. Од тога, 54 коришћене референце су датиране 2005. године и касније, што потврђује актуелност коришћене литературе.

3.3 Анализа примењених научних метода и њихова адекватност за спроведено истраживање

Имајући у виду сложеност пакетског процесора и његове улоге у структури Интернет рутера, најпре је спроведено систематско истраживање литературе из области дисертације која се састојала од научних књига и радова објављених у утицајним часописима и конференцијама. Такође, су проучавани референтни

стандарди и протоколи које пакетски процесори морају да подрже. Извршена је анализа и синтеза свих функција које пакетски процесор мора да извршава, при чему су функције груписане у логичке целине - модуле, чиме је постигнута флексибилна и модуларна имплементација пакетског процесора која се лако може модификовати и унапређивати. У оквиру анализе функција пакетског процесора посебна пажња је посвећена утицају функција пакетског процесора на скалабилност рутера и идентификоване су најкритичније функције.

Пошто су пакетски процесори имплементирани на FPGA чиповима, за саму имплементацију је коришћен VHDL програмски језик. Како су у имплементацији коришћени чипови компаније Xilinx, коришћено је Xilinx-ово ISE развојно окупљење које омогућава развој хардверског дизајна за Xilinx-ове FPGA чипове. За верификацију развијених функција пакетског процесора коришћени су симулатори: ISE Simulator који је саставни део ISE развојног окружења и Modelsim симулатор. Финална верификација је извршена укључивањем развијеног прототипа Интернет рутера у реално окружење које се састојало од рутера компаније Cisco, као и софтверских рутера базираних на Linux оперативном систему. Верификација је показала исправност рада прототипа Интернет рутера, а самим тим и развијених пакетских процесора.

У дисертацији је извршена и анализа лукапа и постојећих решења, односно лукап алгоритама. Извршено је систематско проучавање постојећих лукап алгоритама, при чему су коришћени научни радови у реномираним часописима и конференцијама. У дисертацији је извршена класификација постојећих лукап алгоритама чиме је олакшано истраживање ове проблематике другим истраживачима. Извршена је и математичка анализа најпознатијих лукап алгоритама, у циљу одређивања њихове скалабилности.

Развијени су нови лукап алгоритми који су такође детаљно математички анализирани. При томе је извршена и компаративна анализа постојећих лукап алгоритама и предложених лукап алгоритама. У компаративној анализи су коришћене реалне лукап табеле. Коришћењем програмског језика C развијена је апликација која врши анализу лукап табела у MRT формату и креира листу записа који се налазе у лукап табели. Написане су и апликације у програмском језику C које за креирану листу записа, израчунавају параметре лукап алгоритама које су потребне за израчунавање заузетих ресурса према изведеним формулама. На крају, предложени лукап алгоритми су имплементирани на Xilinx-ове FPGA чипове, при чему је такође коришћен VHDL програмски језик, и идентично развојно окружење као при развоју пакетског процесора.

Све коришћене методе су описане довољно детаљно да се истраживачки резултати могу једноставно репродуковати, односно верификовати.

3.4 Оцена примењивости и верификације остварених резултата

Развијени пакетски процесор је део прототипа Интернет рутера који је верификован у реалном окружењу где је прототип повезан са другим рутерима. Успешна верификација прототипа је истовремено потврдила и исправност развијеног пакетског процесора који представља најважнији део равни података рутера. Развијена је платформа коју истраживачи могу користити за тестирање својих нових алгоритама у реалном окружењу. Модуларна структура развијеног пакетског процесора омогућава лако додавање нових функција и унапређивање постојећих. Пакетски процесор се може лако прилагодити и другим интерфејсима поред гигабитских етернет интерфејса модификацијом модула који врше обраду на слоју линка података јер једино ти модули зависе од типа интерфејса тј. мрежне технологије.

У дисертацији су развијени и нови лукап алгоритми који решавају новонастале проблеме проузроковане транзицијом Интернета на дуже IPv6 адресе. Постојећи лукап алгоритми су прилагођени статистици IPv4 лукап табела, и нису адекватни за рад са IPv6 лукап табелама. Отуда је неопходно развијати нове лукап алгоритме који могу да раде квалитетно и са IPv4, и са IPv6 лукап табелама. У дисертацији су развијени оригинални лукап алгоритми који економично троше хардверске ресурсе и омогућавају подршку портovima веома великих брзина. Они су намењени за имплементацију на линијским модулима који садрже портове чије брзине износе и по неколико десетина гигабита у секунди.

3.5 Оцена способности кандидата за самостални научни рад

Резултати досадашњег научноистраживачког рада мр Зорана Чиче задовољавају све критеријуме Закона о високом образовању и јасно показују да кандидат поседује све услове за самосталан научни рад,

4. ОСТВАРЕНИ НАУЧНИ ДОПРИНОС

4.1 Приказ остварених научних доприноса

У дисертацији су извршена значајна теоријска и практична истраживања која су резултирала следећим доприносима:

- имплементација пакетског процесора заснованог на напредном SGS распоређивачу
- развој прототипа Интернет рутера који представља отворену платформу на којој се могу вршити истраживања, развој, тестирања и верификација различитих решења и алгоритама функција Интернет рутера
- анализа појединих функција пакетског процесора у циљу одређивања најкритичнијих функција са аспекта скалабилности Интернет рутера
- класификација постојећих лукап алгоритама
- математичка анализа најпознатијих постојећих лукап алгоритама
- развој нових напредних лукап алгоритама и њихова математичка анализа
- компаративна анализа предложених лукап алгоритама и постојећих лукап алгоритама
- хардверска имплементација предложених лукап алгоритама

4.2 Критичка анализа резултата истраживања

Увидом у саму дисертацију и њене коначне резултате, Комисија констатује да је кандидат успешно одговорио на постављене изазове. У дисертацији је развијен пакетски процесор модуларне структуре. Модуларна структура омогућава висок степен флексибилности имплементације пакетског процесора чиме је омогућено једноставно додавање нових функција пакетском процесору, једноставна и флексибилна интеграција пакетског процесора са осталим деловима рутера, као и унапређивање појединих делова пакетског процесора новим решењима постојећих функција. Модуларна структура омогућава и лако прилагођавање другим типовима портова у случају потребе. Важно је нагласити да пакетски процесор у себи интегрише SGS распоређивач који обезбеђује високе перформансе пакетског процесора, а самим тим и рутера као целине. Развијени пакетски процесор је саставни део развијеног прототипа Интернет рутера и тестиран је у реалном окружењу. С обзиром на отвореност решења, добијена је основна платформа за даља истраживања у области архитектуре свичева и рутера, чиме су истраживачима из ове области омогућена ефикаснија истраживања. Такође је извршена анализа свих функција пакетског процесора и утврђене су критичне функције које могу да ограниче даљи развој и скалабилност рутера. Једна од најкритичнијих функција је лукап. Отуда је један од изазова којим се дисертација бавила била развој и имплементација напредног лукап алгорита високих перформанси. Пре тога је извршена детаљна анализа постојећих решења и извршена је њихова класификација која ће олакшати рад будућим истраживачима ове области. Развијени нови лукап алгоритми остварују високе перформансе које су потврђене компаративном анализом са постојећим лукап алгоритмима. Такође, извршена је и хардверска имплементација предложених лукап алгоритама којом је потврђена њихова хардверска економичност и високе перформансе.

4.3 Очекивана примена резултата у пракси

Развијени пакетски процесор је интегрисан у прототип Интернет рутера који је развијен у оквиру пројекта „Системска интеграција Интернет рутера“ подржаног од стране Министарства за Науку и технолошки развој Републике Србије. Првенствени циљ даљег развоја прототипа Интернет рутера је комерцијални производ. Међутим, развијени прототип Интернет рутера, чији је саставни део пакетски процесор развијен у овој дисертацији, има примену у истраживачким и едукативним делатностима. Наиме, развијени прототип представља отворену платформу која омогућава развој нових и унапређење постојећих функција рутера домаћим истраживачима, чиме се у значајној мери олакшава научна делатност истраживача. Такође, прототип рутера ће бити коришћен и у наставном процесу за објашњавање и демонстрацију рада појединих делова Интернет рутера, као и рутера у целини. Студентима ће бити омогућено и да експериментишу и развијају постојеће функције Интернет рутера чиме ће усавршавати знање из области пројектовања комуникационог хардвера.

Такође, у дисертацији су развијени нови напредни лукап алгоритми. Њихова првенствена намена је у линијским модулним који садрже портове великих брзина од неколико десетина гигабита по секунди. Важно

је напоменути да се поред развијеног прототипа предложени нови лукап алгоритми могу применити и у другим рутерима.

4.4 Подаци о објављеним научним радовима у вези са дисертацијом

Категорија М22 (радови објављени у часописима међународног значаја са IMPACT фактором):

- A. Smiljanić, **Z. Čiča**, „A Comparative Review of Scalable Lookup Algorithms for IPv6,“ *Computer Networks*, прихваћен за објављивање, (IF=1.176)(ISSN 1389-1286) - рад по позиву

Категорија М23 (радови објављени у часописима међународног значаја са IMPACT фактором):

- **Z. Čiča**, A. Smiljanić, „Balanced Parallelised Frugal IPv6 Lookup Algorithm,“ *IET Electronics Letters*, vol.47(17), pp. 963-965, August 2011. (IF=1.004)(ISSN 0013-5194) (DOI 10.1049/el.2011.0966)

Категорија М33 (радови саопштени на скуповима међународног значаја, штампани у целини):

- **Z. Čiča**, A. Smiljanić, „Frugal IP Lookup Based on a Parallel Search,“ *Proc. of IEEE Workshop on High Performance Switching and Routing 2009*, Paris, France, June 2009. (ISBN 978-1-4244-5174-6) (DOI 10.1109/HPSR.2009.5307435)
- **Z. Čiča**, L. Milinković, A. Smiljanić, „FPGA Implementation of Lookup Algorithms,“ *Proc. of IEEE Workshop on High Performance Switching and Routing 2011*, Cartagena, Spain, July 2011. (ISBN 978-1-4244-8454-6) (DOI 10.1109/HPSR.2011.5986037)
- A. Tokalić, **Z. Čiča**, A. Smiljanić, „Performance analysis of the IP lookup table updating,“ *Proc. of TELSIKS 2011*, Niš, October 2011. (ISBN 978-1-4577-2018-5) (DOI 10.1109/TELSKS.2011.6112032)

Категорија М52 (радови објављени у часописима националног значаја):

- M. Carević, **Z. Čiča**, „FPGA Implementation of IP Packet Segmentation and Reassembly in Internet Router,“ *Serbian Journal of Electrical Engineering*, vol. 6(3), pp. 399-407, December 2009. (ISSN 1451-4869) (DOI 10.2298/SJEE0903399C)

Категорија М63 (радови саопштени на скуповима националног значаја, штампани у целини):

- **Z. Čiča**, „Poboljšanje mrežnih performansi primenom uobličavača saobraćaja,“ *ETRAN 2007*, Herceg Novi, Jun 2007. (ISBN 978-86-80509-64-8) – најбољи рад у категорији младих истраживача
- M. Carević, **Z. Čiča**, „FPGA implementacija segmentacije i rekonstrukcije IP paketa u Internet ruteru,“ *ETRAN 2009*, Vrnjačka Banja, Jun 2009. (ISBN 978-86-80509-64-8) – најбољи рад у категорији младих истраживача
- L. Milinković, **Z. Čiča**, A. Smiljanić, „Implementacija paketskog komutatora na FPGA čipu,“ *TELFOR 2009*, Beograd, Novembar 2009. (ISBN 978-86-7466-375-2)
- A. Smiljanić, **Z. Čiča**, R. Đenić, „Prototip Internet rutera,“ *POSTEL 2010*, Beograd, Decembar 2010. (ISBN 978-86-7395-274-1)
- M. Antić, **Z. Čiča**, N. Maksić, A. Smiljanić, „Testiranje prototipa skalabilnog Internet rutera,“ *ETRAN 2011*, Banja Vrućica – Teslić, Jun 2011. (ISBN 978-86-80509-66-2)

5. ЗАКЉУЧАК И ПРЕДЛОГ

5.1 Кратак осврт на дисертацију у целини

У дисертацији је имплементиран пакетски процесор који представља централни део равни података Интернет рутера. Пакетски процесор у себи интегрише напредни SGS распоређивач којим се постижу високе перформансе како пакетског процесора, тако и рутера у целини. Структура пакетског процесора је модулarna чиме је постигнут висок степен флексибилности имплементације пакетског процесора чиме се он може лако унапређивати, али и прилагођавати различитим типовима портова рутера. Пакетски процесор је интегрисан у прототип Интернет рутера и представља отворену платформу која се користи у истраживачке и едукативне сврхе. Поред тога, извршена је анализа функција пакетског процесора у циљу одређивања

најкритичнијих функција које могу потенцијално ограничити скалабилност рутера. Испоставило се да је лукап једна од најкритичнијих функција пакетског процесора. У дисертацији је извршена прво анализа и класификација постојећих лукап алгоритама, а потом су предложени и имплементирани нови напредни лукап алгоритми. Компаративном анализом са постојећим лукап алгоритмима је утврђено да предложени нови лукап алгоритми имају најбоље перформансе поготово у случају великих IPv6 лукап табела, што је од посебног значаја с обзиром на неминовни прелазак на дуже IPv6 адресе.

Након пажљивог читања и детаљне анализе докторске дисертације мр Зорана Чиче, под насловом „Имплементација функција пакетског процесирања у Интернет рутерима великог капацитета“, Комисија је констатовала да она садржи све потребне формално-типографске целине и да је написана у складу са стандардима Електротехничког факултета и Универзитета у Београду. Изложени материјал је добро организован кроз поглавља и одељке. Циљеви тезе су јасно наведени и исказани, а предложене методе и истраживачки резултати изложени поступно, систематски и разумљиво. Наглашен је допринос аутора у области истраживања

5.2 Предлог Комисије Наставно-научном већу

На основу свега изложеног, Комисија констатује да дисертација испуњава све законске, формалне и суштинске услове, као и све критеријуме који се уобичајено примењују приликом вредновања докторске дисертације на Електротехничком факултету у Београду. Комисија сматра да докторска дисертација мр Зорана Чиче, под насловом „Имплементација функција пакетског процесирања у Интернет рутерима великог капацитета“, садржи оригиналне научне доприносе, па има задовољство и част да предложи Наставно-научном већу Електротехничког факултета у Београду да ову дисертацију прихвати и одобри њену усмену јавну одбрану.

У Београду, 11.05.2012. године

Чланови Комисије:

др Александра Смиљанић, ванредни професор (ментор)
Електротехнички факултет Универзитета у Београду

др Милан Бјелица, доцент
Електротехнички факултет Универзитета у Београду

др Жарко Марков, научни саветник
Институт Ирител

др Миодраг Поповић, редовни професор
Електротехнички факултет Универзитета у Београду